

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月22日  
Date of Application:

出願番号 特願2003-144735  
Application Number:

[ST. 10/C]: [JP 2003-144735]

出願人 沖電気工業株式会社  
Applicant(s):

2003年 8月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3063105

【書類名】 特許願

【整理番号】 MA001363

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H03D 1/00  
H04L 27/14

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 宮下 時男

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 水永 直

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 復調回路および光受信回路

【特許請求の範囲】

【請求項 1】 "1" あるいは "0" の同符号長連パターンを含むパルス信号を受信し、前記パルス信号を復調して論理レベルの電圧信号を復調出力する復調回路であって、

前記パルス信号の立ち上がりあるいは立ち下りの電圧変化量を検出し、該電圧変化量に対応する微分信号を出力する微分回路部と、

入力する前記微分信号の電圧と比較するための第 1 の基準電圧値、上位側電圧しきい値および下位側電圧しきい値が予め設定され、

前記微分信号が第 1 の基準電圧値側から上位側電圧しきい値以上に変化した場合と、前記微分信号が第 1 の基準電圧値側から下位側電圧しきい値以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、該ヒステリシス特性に基づく電圧を論理レベルの電圧信号に変換した復調信号を出力するヒステリシスコンパレータ部と

を有することを特徴とする復調回路。

【請求項 2】 前記ヒステリシスコンパレータ部は、

前記微分信号が入力される正側入力端子と、第 1 の基準電圧値が入力される負側入力端子と、復調信号を出力する出力端子を有するコンパレータ素子と、

前記コンパレータ素子の出力端子と正側入力端子とを接続して設けられる第 1 の抵抗素子と、

前記第 1 の基準電圧値の入力と前記コンパレータ素子の正側入力端子とを接続して設けられる第 2 の抵抗素子と

を備え、

前記微分回路部は、

前記第 1 の抵抗素子および第 2 の抵抗素子を含み、前記コンパレータ素子の正側入力端子側から見た合成入力抵抗と、

前記パルス信号の入力と前記正側入力端子とを接続して設けられる微分キャパシタと



を備えることを特徴とする請求項 1 に記載の復調回路。

【請求項 3】 前記ヒステリシスコンパレータ部は、

前記微分信号が入力される負側入力端子と、電圧比較用の第 1 の基準電圧値が入力される正側入力端子と、逆相復調信号を出力する出力端子を有するコンパレータ素子と、

前記コンパレータ素子の出力端子と正側入力端子とを接続して設けられる第 1 の抵抗素子と、

前記第 1 の基準電圧値の入力と前記コンパレータ素子の正側入力端子とを接続して設けられる第 2 の抵抗素子と、

を備え、

前記微分回路部は、

前記第 1 の基準電圧値の入力と前記コンパレータ素子の負側入力端子とを接続して設けられる第 3 の抵抗素子を含み、前記コンパレータ素子の負側入力端子側から見た合成入力抵抗と、

前記パルス信号の入力と前記負側入力端子とを接続して設けられる微分キャパシタと

を備えることを特徴とする請求項 1 に記載の復調回路。

【請求項 4】 前記微分回路部は、

前記パルス信号の微分出力を反転させた逆相微分信号を前記コンパレータ素子の負側入力端子に出力する逆相出力アンプと、

前記逆相出力アンプの出力端子と入力端子とを接続して設けられる負帰還抵抗素子と、

前記パルス信号の入力と前記逆相出力アンプの入力端子とを接続して設けられる微分キャパシタと

を備え、

前記ヒステリシスコンパレータ部は、

前記逆相出力アンプからの逆相微分信号が入力される負側入力端子と、前記第 1 の基準電圧値が入力される正側入力端子と、正相復調信号を出力する出力端子を有するコンパレータ素子と、



前記コンパレータ素子の出力端子と正側入力端子とを接続して設けられる第1の抵抗素子と、

前記第1の基準電圧値の入力と前記コンパレータ素子の正側入力端子とを接続して設けられる第2の抵抗素子と

を備えることを特徴とする請求項1に記載の復調回路。

【請求項5】 前記ヒステリシスコンパレータ部は、

前記コンパレータ素子が、前記微分信号が入力される正側入力端子と、第1の基準電圧値が入力される負側入力端子と、正相復調信号を出力する出力端子と、正相復調信号が反転された逆相復調信号を出力する出力端子を有する平衡型コンパレータ素子であり、

ことを特徴とする請求項1～4の何れかに記載の復調回路。

【請求項6】 前記ヒステリシスコンパレータ部は、

前記平衡型コンパレータ素子から出力される正相復調信号と前記第1の基準電圧値との間の電圧を分圧させて前記平衡型コンパレータ素子の正側入力端子に正帰還させる第1の抵抗素子および第2の抵抗素子と、

前記平衡型コンパレータ素子から出力される逆相復調信号と前記第1の基準電圧値との間の電圧を分圧させて前記平衡型コンパレータ素子の負側入力端子に正帰還させる第3の抵抗素子および第4の抵抗素子と、

を備え、

前記微分回路部は、

前記パルス信号の入力と前記平衡型コンパレータ素子の正側入力端子とを接続して設けられる微分キャパシタと、

前記第1の抵抗素子および第2の抵抗素子を含み、前記平衡型コンパレータ素子の正側入力端子側から見た合成入力抵抗と

を備えることを特徴とする請求項5に記載の復調回路。

【請求項7】 前記微分回路部は、

正側入力端子に前記パルス信号が入力され、負側入力端子に接地電圧が入力され、前記両入力の差動により正相微分信号および該正相微分信号を反転させた逆相微分信号を出力する差動アンプと、

前記差動アンプの逆相微分信号の出力と正側入力端子とを接続して設けられる第1の負帰還抵抗素子と、

前記差動アンプの正相微分信号の出力と負側入力端子とを接続して設けられる第2の負帰還抵抗素子と、

前記パルス信号の入力と前記差動アンプの正側入力端子とを接続して設けられる第1の微分キャパシタと、

接地電圧の入力と前記差動アンプの負側入力端子とを接続して設けられる第2の微分キャパシタと

を備え、

前記ヒステリシスコンパレータ部は、

前記平衡型コンパレータ素子から出力される正相復調信号と前記差動アンプの正相微分信号との間の電圧を分圧させて前記平衡型コンパレータ素子の正側入力端子に正帰還させる第1の抵抗素子および第2の抵抗素子と、

前記平衡型コンパレータ素子から出力される逆相復調信号と前記差動アンプの逆相微分信号との間の電圧を分圧させて前記平衡型コンパレータ素子の負側入力端子に正帰還させる第3の抵抗素子および第4の抵抗素子と、

を備え、

前記正相微分信号および前記逆相微分信号の何れか一方が上位側電圧しきい値以下から以上に変化した場合と、前記正相微分信号および前記逆相微分信号の何れか一方が下位側電圧しきい値以上から以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、該ヒステリシス特性に基づく電圧を論理レベルの電圧信号に変換した正相復調信号と逆相復調信号を出力する

ことを特徴とする請求項5に記載の復調回路。

【請求項8】 前記微分回路部は、

前記パルス信号の入力段に、正側入力端子に入力される前記パルス信号と負側入力端子に入力される第2の基準電圧値との差動により正相入力差動信号および該正相入力差動信号を反転させた逆相入力差動信号を出力する差動信号化回路を有し、

前記平衡型コンパレータ素子の正側入力端子には前記正相入力差動信号を微分した正相微分信号を出力し、負側入力端子には前記逆相入力差動信号を微分した逆相微分信号を出力する

ことを特徴とする請求項 7 に記載の復調回路。

【請求項 9】 前記ヒステリシスコンパレータ部は、

前記平衡型コンパレータ素子から出力される正相復調信号と前記第 1 の基準電圧値との間の電圧を分圧させて前記平衡型コンパレータ素子の正側入力端子に正帰還させる第 1 の抵抗素子および第 2 の抵抗素子と、

前記平衡型コンパレータ素子から出力される逆相復調信号と前記第 1 の基準電圧値との間の電圧を分圧させて前記平衡型コンパレータ素子の負側入力端子に正帰還させる第 3 の抵抗素子および第 4 の抵抗素子と、

を備え、

前記微分回路部は、

前記差動信号化回路の正相入力差動信号の出力と前記平衡型コンパレータ素子の正側入力端子とを接続して設けられる第 1 の微分キャパシタと、

前記差動信号化回路の逆相入力差動信号の出力と前記平衡型コンパレータ素子の負側入力端子とを接続して設けられる第 2 の微分キャパシタと

を備えることを特徴とする請求項 8 に記載の復調回路。

【請求項 10】 前記微分回路部は、

前記差動アンプの逆相微分信号の出力と正側入力端子とを接続して設けられる第 1 の負帰還抵抗素子と、

前記差動アンプの正相微分信号の出力と負側入力端子とを接続して設けられる第 2 の負帰還抵抗素子と、

前記正相入力差動信号の入力と前記差動アンプの正側入力端子とを接続して設けられる第 1 の微分キャパシタと、

前記逆相入力差動信号の入力と前記差動アンプの負側入力端子とを接続して設けられる第 2 の微分キャパシタと

を備え、

前記平衡型ヒステリシスコンパレータ部は、



前記平衡型コンパレータ素子から出力される正相復調信号と前記差動アンプの正相微分信号との間の電圧を分圧させて前記平衡型コンパレータ素子の正側入力端子に正帰還させる第1の抵抗素子および第2の抵抗素子と、

前記平衡型コンパレータ素子から出力される逆相復調信号と前記差動アンプの逆相微分信号との間の電圧を分圧させて前記平衡型コンパレータ素子の負側入力端子に正帰還させる第3の抵抗素子および第4の抵抗素子と、

を備えることを特徴とする請求項8に記載の復調回路。

【請求項11】 前記微分回路部は、

出力を入力に負帰還させる負帰還抵抗素子が接続されたアンプと、

前記アンプの入力端子に接続して設けられる微分キャパシタと、

前記微分キャパシタによる微分特性を調整するために、該微分キャパシタに直列に接続される微分調整抵抗と

を備える

ことを特徴とする請求項4～10の何れかに記載の復調回路。

【請求項12】 前記微分回路部は、

前記ヒステリシスコンパレータ部に出力する微分信号の電圧振幅を所定値以下に制限する微分出力振幅制限回路を有する

ことを特徴とする請求項1～11の何れかに記載の復調回路。

【請求項13】 前記ヒステリシスコンパレータ部は、

前記コンパレータ素子の出力を保持する時に正帰還される復調信号の電圧振幅を所定値以下に制限する正帰還振幅制限回路を有する

ことを特徴とする請求項1～12の何れかに記載の復調回路。

【請求項14】 前記微分回路部は、

前記パルス信号の入力段に、高周波数帯域の雑音を除去する低域通過フィルターを有する

ことを特徴とする請求項1～13の何れかに記載の復調回路。

【請求項15】 前記ヒステリシスコンパレータ部は、

前記コンパレータ素子を、論理状態を保持あるいは反転させるために用い、該論理状態を論理レベルの電圧信号に変換して出力するための別の変換用コンパレ

ータ素子を有する

ことを特徴とする請求項 1 ～ 1 4 の何れかに記載の復調回路。

【請求項 1 6】 前記ヒステリシスコンパレータ部は、  
論理状態を保持するための正帰還保持回路の他に、前記微分回路部出力を入力して該保持論理状態を反転させる入力部を有する

ことを特徴とする請求項 1 ～ 1 5 の何れかに記載の復調回路。

【請求項 1 7】 請求項 1 ～ 1 6 に記載された復調回路を、光通信に使用されるバースト信号を受信する回路の復調回路として用いる

ことを特徴とする光受信回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、無線信号を利用する移動体通信、あるいは、光ファイバ等の媒体中を伝送される光信号を利用する光通信等で使用されるバースト信号を受信する回路の復調回路に関するものである。

【0 0 0 2】

【従来の技術】

バースト信号を利用する通信方式では、伝送信号に h i g h レベルの連続（あるいは” 1 ” 連続）や、l o w レベルの連続（あるいは” 0 ” 連続）のように同符号連続パターンを含むので、復調回路は、このような同符号の連続信号に対して、少なくとも適用される通信方式に規定された連続長までは信号誤り無しで受信できることが求められる。

【0 0 0 3】

また、バースト信号を利用する通信方式には、送信状態と受信状態とを時分割するものがあり、更に、送信状態と受信状態以外にも、その切替わりの間に休止状態（電源電圧は印加されているが送信も受信もしない状態）を有する場合がある。また、その通信方式の通信休止状態では、” 1 ” あるいは” 0 ” の同符号の長連パターンが受信されており、その状態から突然に” 1 ” と” 0 ” の符号が切り替わるパルス受信が開始され、受信終了時には、再び同符号で長連パターンの

通信休止状態に戻る。バースト信号を復調する回路とは、上記した同符号の長連パターンとパルス受信の繰り返されるパルス信号を復調して、論理レベルの信号である復調出力あるいはその逆相の復調出力を出力する回路である。

#### 【0004】

また、光信号の受信回路等のように受信するパルス信号の振幅が微小な場合には、そのパルス信号を復調する前に増幅する必要がある。例えば、キャパシター結合を含む増幅器で受信したパルス信号を増幅する場合には、以下の3条件により出力信号のエンベロップ波形のピーク値や振幅値が変動する。したがって、バースト信号を復調する回路は、受信したパルス信号が以下のような条件により変動する増幅信号となった場合でも元のパルス信号の”1”と”0”に対応する論理出力を復調できる必要がある。

#### 【0005】

(1) 受信したパルス信号の振幅が線形増幅の領域であるか、あるいは、非線形増幅（リミット増幅）の領域であるか。

(2) ”1”と”0”の比率の度合い。

(3) ”1”あるいは”0”の同符号が長連する度合い。

#### 【0006】

光信号の受信回路としては、例えば、受光信号を受光素子にて受信電流信号に変換し、前置増幅器にて受信電流信号を電圧信号に変換し、終段のオフセット補償主増幅器にて微小な前置増幅器の微小な出力電圧信号をオフセット補償を行いながら増幅し、コンパレータ素子にて論理レベルの信号に変換し、短時間の中で”1”／”0”変化が生じる受信動作時は、”1”／”0”パターン幅が良好な受信論理信号が得られるものが知られている（例えば、特許文献1参照）。

#### 【0007】

また、光信号の受信回路としては、上記した特許文献1の構成に加えて、更に、オフセット補償主増幅器のピークホールド部がピーク値を維持できないような”0”連続時には、コンパレータ素子の出力を”0”状態にさせる固定値オフセット電源をコンパレータ素子に入力させる直前の最終段のオフセット補償部に付加することで、受信時の”0”が長連する受信休止状態時には、コンパレータ素

子の論理出力を” 0.” に固定するものが知られている（例えば、特許文献 2 参照）。

#### 【0008】

無線通信等に用いられる FSK 信号を利用する通信方式では、その信号周波数と予め規定された搬送波周波数との差などの影響により、検波信号の直流電位にオフセット変動が発生する。この直流オフセット変動に追従するため、検波出力を平滑化し、その中心周波数を変化させることで検波回路出力の直流電位変動を抑制するものが知られている（例えば、特許文献 3 参照）。

#### 【0009】

また、直流オフセット変動に追従するための他の例として、検波出力信号の最大レベルと最小レベルを検知すると共に、検波出力の直流電位変動に追従させて中間電位を生成し、その中間電位を比較回路の参照電位として用いることで、最終出力信号を得るものが知られている（例えば、特許文献 4 参照）。

#### 【0010】

##### 【特許文献 1】

特開平 8—84160 号公報（第 3 頁、第 1 図）

##### 【特許文献 2】

特開平 10—163828 号公報（第 3～4 頁、第 1 図）

##### 【特許文献 3】

米国特許第 6104238 号明細書抜粋

##### 【特許文献 4】

米国特許第 5412692 号明細書抜粋

#### 【0011】

##### 【発明が解決しようとする課題】

送受信あるいは休止状態を時分割する通信方式の受信装置では、受信状態に切替わった時点でバースト的に受信信号が到達し、その時の検波信号の直流電位が動的に変化する。従って、送受信あるいは休止状態を時分割する通信方式の場合には、動的に変化する直流電位を補償するために、一般的に伝送信号の先頭にプリアンプルのパターンを付加している。しかし、このプリアンプルのパターン

長は適用される無線通信方式により異なり、例えば、極めて短い（例えば4ビット程度）のプリアンプルのパターン長のものがある。そのように短いプリアンプルのパターン長で受信信号を復調するためには、動的な直流電位の変化に高速に追従する受信回路が必要である。

#### 【0012】

ところが、一般的に、上記した同符号の連続信号を誤り無しに受信できる耐力と、直流電位の変化を高速に追従（補償）できる性能とは相反し、例えば、直流電位の変化に対する追従性を良くすると、同符号の連続信号を誤り無しに受信できる耐力は低下する。

#### 【0013】

上記した特許文献1の回路構成では、受信休止状態など、“0”長連時には、オフセット補償動作によりコンパレータ素子の差動入力がゼロになるため、直流電位の変化に高速に追従する能力は向上するが、コンパレータ素子の論理出力が不定になる場合があるという問題があった。

#### 【0014】

また、上記した特許文献2の回路構成では、同符号の連続信号を誤り無しに受信できる能力は向上するが、前段で実施されていたコンパレータ素子の論理出力の“1”／“0”パターン幅を良好に保つためのオフセット補償動作の効果が減少してしまうという問題があった。

#### 【0015】

また、上記した特許文献3の回路構成では、同符号の連続信号を誤り無しに受信できる能力は向上するが、直流電位の変動を補償するために要する時間が検波出力を平滑化する時間とチャンネル選択フィルタや検波回路の絶対遅延時間との総和となっているため、高次のフィルタを適用した復調回路では、高速な直流電位補償が困難という問題があった。

#### 【0016】

また、上記した特許文献4では、同符号の連続信号を誤り無しに受信できる能力は向上するが、同時に高速な直流電位補償を実現しようとする検波出力の最大レベルおよび最小レベルを検出するための積分回路の時定数を小さくしなけれ

ばならず、そうすると相反して同符号連続耐量が劣化してしまうという問題があった。

#### 【0017】

本発明は、上述したような従来の問題を解決するためになされたものであって、直流オフセット変動の影響を抑制することで同符号の連続信号を誤り無しに受信できる能力を維持しつつ、直流電位の変化に高速に追従する能力も向上させたバースト信号の復調回路を、回路部品点数が少ないシンプルな構成で、かつ低消費電力となるように提供することを目的とする。

#### 【0018】

##### 【課題を解決するための手段】

上述の目的を達成するため本発明の復調回路は、“1”あるいは“0”の同符号長連パターンを含むパルス信号を受信し、パルス信号を復調して論理レベルの電圧信号を復調出力する復調回路であって、パルス信号の立ち上がりあるいは立ち下りの電圧変化量を検出し、その電圧変化量に対応する微分信号を出力する微分回路部と、入力する微分信号の電圧と比較するための第1の基準電圧値、上位側電圧しきい値および下位側電圧しきい値が予め設定され、微分信号が第1の基準電圧値側から上位側電圧しきい値以上に変化した場合と、微分信号が第1の基準電圧値側から下位側電圧しきい値以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、そのヒステリシス特性に基づく電圧を論理レベルの電圧信号に変換した復調信号を出力するヒステリシスコンパレータ部とを有する。

#### 【0019】

##### 【発明の実施の形態】

以下、本発明を図示した実施形態に基づいて説明する。

#### 【0020】

(実施の形態1.)

図1は、本発明の実施の形態1の復調回路の構成を示すブロック図である。

図1の復調回路100は、“1”あるいは“0”の同符号長連パターンを含むパルス信号 $V_i$ を受信し、前記パルス信号 $V_i$ を復調して論理レベルの電圧信号

である正相復調信号  $Q_p/Q_n$  を出力する復調回路である。復調回路 100 は、入力するパルス信号  $V_i$  の立ち上がりあるいは立ち下りの電圧変化量を検出し、電圧変化量に対応する微分信号  $V_o$  を出力する微分回路部 1 と、入力する微分信号  $V_o$  の電圧と比較するための第 1 の基準電圧値  $V_{r1}$ 、上位側電圧しきい値  $V_{othH}$  および下位側電圧しきい値  $V_{othL}$  が予め設定され、入力する微分信号  $V_o$  が第 1 の基準電圧値  $V_{r1}$  側から上位側電圧しきい値  $V_{othH}$  以上に変化した場合と、入力する微分信号  $V_o$  が第 1 の基準電圧値  $V_{r1}$  側から下位側電圧しきい値  $V_{othL}$  以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、そのヒステリシス特性に基づく電圧を論理レベルの電圧信号に変換した正相復調信号  $Q_p/Q_n$  を出力するヒステリシスコンパレータ部 2 とから構成される。つまり、ヒステリシスコンパレータ部 2 は、入力端子より上位側電圧しきい値  $V_{othH}$  となる反転スレッシュホールドレベルを上回る微分信号  $V_o$  が入力された場合には、正相復調信号  $Q_p$  を反転させると共にその反転状態を保持し、下位側電圧しきい値  $V_{othL}$  である再反転スレッシュホールドレベルを下回る次の逆相の微分信号  $V_o$  が入力された場合には、正相復調信号  $Q_p$  を再反転させると共にその再反転状態を保持する。

#### 【0021】

図 2 は、図 1 の復調回路を光受信回路に用いた場合の構成の一例を示すブロック図である。

図 2 において、受光素子 (PD) 7a は、バイアス電圧が印加されるフォトダイオード等からなり受光レベルに応じた電流信号を出力する。前置増幅器 7b は、前記受光レベルに応じた電流信号を、受光レベルに応じた電圧信号に変換する。多段増幅器 7c は、受信したパルス信号を復調する前に増幅する多段の増幅器であり、キャパシター結合を含んでもよい。多段増幅器 7c がキャパシター結合を含む場合の出力は、前述したように (1) パルス信号の振幅が線形増幅領域であるか、あるいは、非線形増幅領域であるか、(2) "1" と "0" の比率の度合い、(3) "1" あるいは "0" の同符号が長連する度合いにより直流レベルが変動する。多段増幅器 7c がキャパシター結合を含まない場合でも、電源電圧変動や音頭変動によって、出力直流レベルが変動する。

**【0022】**

図3は、図1の復調回路のさらに詳細な構成の一例を示すブロック図である。

図3の復調回路100aにおいて、ヒステリシスコンパレータ部2aは、微分信号 $V_o$ が入力される正側入力端子(+)と、第1の基準電圧値 $V_{r1}$ が入力される負側入力端子(-)と、正相の復調信号 $Q_p$ を出力する出力端子を有し、正負側入力間の差動入力電圧に対応する電圧を出力するコンパレータ素子10と、そのコンパレータ素子10の出力端子と正側入力端子(+)とを接続して設けられる第1の抵抗素子 $R_1$ と、第1の基準電圧値 $V_{r1}$ の入力とコンパレータ素子10の正側入力端子(+)とを接続して設けられる第2の抵抗素子 $R_2$ とを備える。微分回路部1aは、コンパレータ素子10の正側入力端子(+)側から見て第2の抵抗素子 $R_2$ を含む合成入力抵抗と、パルス信号 $V_i$ の入力と正側入力端子(+)とを接続して設けられる微分キャパシタ $C_t$ とを備える。

**【0023】**

図3の復調回路100aでは、ヒステリシスコンパレータ部2aのコンパレータ素子10は、負側入力端子(-)に第1の基準電圧値 $V_{r1}$ が入力され、論理レベルの正相復調信号 $Q_p$ が出力される。第1の抵抗素子 $R_1$ と第2の抵抗素子 $R_2$ は、コンパレータ素子10の正側入力端子(+)と正相復調信号 $Q_p$ とに対する正帰還回路を構成しており、コンパレータ素子10の正側入力端子(+)からみた場合に、コンパレータ素子10からの論理レベルの正相復調信号 $Q_p$ と第1の基準電圧値 $V_{r1}$ との電位差を分圧してコンパレータ素子10の正側入力端子(+)に入力させる合成入力抵抗となっている。微分回路部1aでは、微分キャパシタ $C_t$ と第2の抵抗素子 $R_2$ が、入力するパルス信号の電圧変位分を微分信号としてコンパレータ素子10の正側入力端子(+)に入力させる。

**【0024】**

また、本実施の形態1のヒステリシスコンパレータ部2aにおけるヒステリシス特性は以下のようにして得られる。

本実施例1のヒステリシスコンパレータ部2aでは、コンパレータ素子10の出力と第1の基準電圧値 $V_{r1}$ との間の電圧を、第1の抵抗素子 $R_1$ と第2の抵抗素子 $R_2$ とにより分圧してコンパレータ素子10の正側入力端子(+)に供給



している。これにより、コンパレータ素子 10 の出力が正側入力端子 (+) に帰還入力されており、コンパレータ素子 10 を正帰還動作させている。

#### 【0025】

本実施の形態 1 のヒステリシスコンパレータ部 2 a では、正側入力端子 (+) に正帰還入力される電圧のレベルが、コンパレータ素子 10 の正負側入力間の差動入力電圧が出力電圧と正帰還量で決まる一定のスレッシュホールド電圧より小さい間（差動入力電圧の正負極性が変わらない、出力を保つ入力レベルが確保されている間）は、それ以前の H/L の論理出力状態を維持し、微分入力（ $V_o$ ）が論理出力を反転させるスレッシュホールド電圧を超過する時（差動入力電圧の極性が反転する時）に、正帰還動作の効果により論理出力状態を急速に反転させている。

#### 【0026】

そのため、本実施の形態 1 のヒステリシスコンパレータ部 2 a では、入力する微分信号  $V_o$  の電圧と比較するための第 1 の基準電圧値  $V_{r1}$ 、上位側電圧しきい値  $V_{othH}$  および下位側電圧しきい値  $V_{othL}$  を予め設定した。そして、微分信号  $V_o$  が第 1 の基準電圧値  $V_{r1}$  側から上位側電圧しきい値  $V_{othH}$  以上に変化した場合と、微分信号  $V_o$  が第 1 の基準電圧値  $V_{r1}$  側から下位側電圧しきい値  $V_{othL}$  以下に変化した場合に出力  $Q_p$  の電圧レベル（論理状態）の状態を反転させ、次に再びその出力  $Q_p$  を再反転させる負または正の微分信号  $V_o$  が入力されるまで、その反転された出力  $Q_p$  の状態を維持する。

#### 【0027】

上記したように入力電圧が上位側あるいは下位側のしきい値を超えるまでは元の電圧レベル（論理出力状態）を維持する入出力特性はヒステリシス特性であることから、コンパレータ素子 10 と抵抗  $R_1$ 、 $R_2$  等から構成される回路はヒステリシスコンパレータとなる。

このようにして本実施の形態 1 のヒステリシスコンパレータ部 2 a は、ヒステリシス特性に基づき、入力電圧を論理レベルの電圧信号に変換した正相復調信号  $Q_p$  を出力する。

#### 【0028】

また、実施の形態 1 で微分回路 1 a を用いる理由としては、以下のようなになる

ヒステリシスコンパレータ部 2 a が上記したようにヒステリシス特性を有することから、論理出力を反転させる動作を開始させるためのしきい値を超える電圧入力、認識できる範囲内であれば短い時間だけ維持できればよく、その後は正帰還動作によって反転動作が継続されるのでしきい値を超える電圧の入力を維持する必要がなくなる。つまり、本実施の形態のように、入力するパルス信号  $V_i$  のパルス立ち上がりおよび立ち下りのエッジを検出して微分し、そのエッジに対応する短時間だけ電圧を出力する微分回路で良いことになる。

#### 【0029】

そのエッジに対応する短時間とは、ヒステリシスコンパレータ部 2 a の出力が反転動作可能な時間より長く、かつ、パルス信号  $V_i$  の 1 タイムスロット時間幅より短い時間であり、すなわち、本実施の形態 1 の微分回路 1 a は、上記した短時間以上の時間だけ、第 1 の基準電圧値  $V_{r1}$  側から上位側電圧しきい値  $V_{othH}$  あるいは下位側電圧しきい値  $V_{othL}$  を超える正あるいは負の微分信号  $V_o$  をヒステリシスコンパレータ部 2 a の入力に供給するという反転条件を満足できれば良い。

#### 【0030】

また、図 3 の微分回路部 1 a で微分信号の時定数を決める微分抵抗は、反転動作を行っている間のみは正帰還により等価的に大きな値になって非線形に変化するが、コンパレータ素子 10 の出力  $Q_p$  が変動しないで固定値である場合には、概ね第 2 の抵抗素子  $R_2$  の値で良い。

#### 【0031】

図 4 は、図 3 のヒステリシスコンパレータ部 2 a のさらに具体的な回路構成の例を示す回路図である。

図 4 のヒステリシスコンパレータ部 151 (= 2 a) では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ  $T_1$ ,  $T_2$ ,  $T_3$  と、抵抗  $R_{c1}$ ,  $R_{c2}$  からなるコンパレータ素子 10 が設けられる。バイポーラトランジスタ  $T_1$  と抵抗  $R_{c1}$  が直列に接続され、バイポーラトランジスタ  $T_2$  と抵抗  $R_{c2}$  が直列に接続されている。また、吸い込み電流  $I_1$  は、抵抗  $R_{c1}$ ,  $R$

c 2 のどちらか一方に流れる。バイポーラトランジスタ T 1 のベース部に微分信号が入力され、バイポーラトランジスタ T 2 のベース部に第 1 の基準電圧値  $V_{r1}$  が入力される。バイポーラトランジスタ T 3 のエミッタ部から正相復調信号  $Q_p$  が出力される。

#### 【0032】

図 5 は、図 3 の復調回路に第 1 の基準電圧値  $V_{r1}$  を供給する具体的な回路構成の例を示す回路図である。

図 5 の回路 152 では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ T 1 と抵抗  $R_{c1}$  が設けられ、抵抗  $R_{c1}$  の一方の端部がバイポーラトランジスタ T 1 のベースに接続されている。第 1 の基準電圧値  $V_{r1}$  は、バイポーラトランジスタ T 1 のエミッタ部から出力される。

#### 【0033】

次に、本実施の形態 1 の動作について説明する。

図 6 (a) ~ (d) は、図 1 の復調回路の入出力信号の波形図である。

図 6 (a) が復調回路に入力するパルス信号  $V_i$ 、図 6 (b) がパルス信号  $V_i$  の微分信号出力  $V_o$ 、図 6 (c) がヒステリシスコンパレータ部 2 の正相の正相復調信号  $Q_p$ 、図 6 (d) がヒステリシスコンパレータ部 2 の逆相の逆相復調信号  $Q_n$  を示す図である。なお、図 6 (d) は、図 6 (c) のヒステリシスコンパレータ部 2 a の出力が反転された逆相電圧であり（実施例 2）で用いられる。また、図 6 (b) の電圧  $V_{othH}$  は、ヒステリシスコンパレータ部 2 の出力を、“H” 状態に反転させる判断をするために必要な上位側電圧しきい値であり、電圧  $V_{othL}$  は、ヒステリシスコンパレータ部 2 の出力を、“L” 状態に反転させる判断をするために必要な下位側電圧しきい値であり、電圧  $V_{r1}$  は、第 1 の基準電圧値である。

#### 【0034】

本実施の形態 1 の復調回路では、図 6 (a) の  $V_i$  入力における立ち上がりあるいは立ち下がりパルスエッジが発生するタイミングで、図 6 (b) に示すように第 1 の基準電圧値  $V_{r1}$  側から上位側電圧しきい値  $V_{othH}$  あるいは下位側電圧しきい値  $V_{othL}$  を正あるいは負に短時間超える微分出力が出力される。こ

の場合の短時間は、この図 6 (b) の微分出力の電圧は、図 6 (a) の各パルスのパルスエッジのタイミングでは各しきい値を超えるが、その後にはパルスエッジほど急峻ではないが急速に減少して各しきい値以下になる時間である。また、図 6 (a) の最初のパルスの場合には、図 6 (b) の微分出力は最終的に基準電圧  $V_{r1}$  のレベルまで減少して落ち着く。なお、図 6 (b) の上位側電圧しきい値  $V_{othH}$  或いは下位側電圧しきい値  $V_{othL}$  は、正帰還抵抗である第 1 の抵抗素子  $R_1$  および第 2 の抵抗素子  $R_2$  の比と、基準電圧  $V_{r1}$  とを適宜な値に設定することにより適切な値に設定することができる。

#### 【0035】

図 6 (c) は、例えば、図 3 のヒステリシスコンパレータ部 2 a から出力される正相の復調出力であり、図 6 (b) の微分出力が上位側電圧しきい値  $V_{othH}$  を上位側に超えた場合には、パルス電圧  $Q_p$  が基準電圧  $V_{r1}$  から立ち上がって出力され、ヒステリシス特性により一定値が維持される。しかし、この状態で、次に、図 6 (b) の微分出力が下位側電圧しきい値  $V_{othL}$  を下位側に超えた場合には、パルス電圧  $Q_p$  が立ち下がり基準電圧  $V_{r1}$  のレベルに戻っている、すなわち、図 6 (c) のパルスは、図 6 (a) のパルスエッジと同じタイミングかつ同じ側にパルス電圧  $Q_p$  が立ち上がり／立ち下がり出力される。

#### 【0036】

ところで、図 6 (a) の 2 番目のパルスの場合には、パルス信号  $V_i$  の信号電圧が最初は”H”状態の電圧であるが、緩やかにその”H”状態の電圧よりも変動電圧  $dV_i$  だけ低いレベルの電圧に変動している。この電圧変動は、電源電圧が変動する場合に発生することがある。この変動するパルス信号  $V_i$  に基づく微分出力の影響（誤動作）は、ヒステリシス特性を利用することにより防止することができる。

#### 【0037】

図 6 (b) の微分出力でも 2 番目のパルスの場合には、パルス信号  $V_i$  が緩やかな一定勾配で変動しているのに対応する負極性の微分電圧  $dV_o$  が発生するが、この微分電圧  $dV_o$  は、第 1 の基準電圧値  $V_{r1}$  側から上位側電圧しきい値  $V_{othH}$  或いは下位側電圧しきい値  $V_{othL}$  までの電圧よりも小さい値である

ので、図 6 (c) のヒステリシスコンパレータ部 2 a から出力される電圧を変化させない。より具体的には、図 6 (a) の 2 番目のパルス信号  $V_i$  の” H” 状態では、パルス信号  $V_i$  の信号電圧が H 状態の電圧より変動電圧  $dV_i$  のレベルだけ低い電圧に向けて緩やかに変動（減少）するが、図 6 (b) では、その変動の微分出力への影響電圧が小さく、下位側電圧しきい値を超えない。従って、図 6 (c) のヒステリシスコンパレータ部 2 a の論理出力は反転しないで一定値が出力され、図 6 (a) の 2 番目のパルス信号  $V_i$  における” H” 状態の電圧変動の影響を防止してパルス信号の電圧を出力できることになる。

#### 【0038】

このように本実施の形態の復調回路は、コンパレータ素子 10 に簡単な正帰還をかけるヒステリシスコンパレータ部 2 a と、ヒステリシスコンパレータ部 2 a の入力抵抗  $R_1$  および  $R_2$  と微分キャパシタ  $C_t$  とから構成する微分回路部 1 a という比較的単純な構成であり、ヒステリシスコンパレータ部 2 a の状態を維持するヒステリシス特性により、正相復調信号  $Q_p$  におけるどんな長連の” H” 状態の維持、あるいは、” L” 状態の維持でも可能となる。

#### 【0039】

さらに、本実施の形態の復調回路は、以下の効果を有している。

(A 1) 従来回路に比べて、回路要素数の少ないシンプルな構成の復調回路を実現できる。

(A 2) 回路要素数が少ないので、低消費電力な復調回路となる。

(A 3) 増幅段のオフセットの影響を受けない復調回路となる。

(A 4) 特別な積分（直流検出）回路やピークホールド回路を必要とせず、休止状態から受信が開始される際に、その冒頭のパルス信号から受信できる。

#### 【0040】

(実施の形態 2.)

図 7 は、本発明の実施の形態 2 の復調回路の構成の一例を示すブロック図である。

図 7 の復調回路 100 b では、実施の形態 1 と異なりコンパレータ素子 10 の負側入力端子（－）にパルス信号  $V_i$  が入力される。そのため、ヒステリシスコ

ンパレータ部 2 b の出力  $Q_n$  は、パルス信号  $V_i$  に対する逆相信号となる。その他の構成については、実施の形態 1 と同様である。

#### 【0041】

図 7 の復調回路 100 b において、ヒステリシスコンパレータ部 2 b は、微分信号  $V_o$  が入力される負側入力端子 (−) と、第 1 の基準電圧値  $V_{r1}$  が入力される正側入力端子 (+) と、逆相の復調信号  $Q_n$  を出力する出力端子を有し、正負側入力間の差動入力電圧に対応する電圧を出力するコンパレータ素子 10 と、そのコンパレータ素子 10 の出力端子と正側入力端子 (+) とを接続して設けられる第 1 の抵抗素子  $R_1$  と、第 1 の基準電圧値  $V_{r1}$  とコンパレータ素子 10 の正側入力端子 (+) とを接続して設けられる第 2 の抵抗素子  $R_2$  とを備える。微分回路部 1 b は、コンパレータ素子 10 の負側入力端子 (−) 側から見て、第 1 の基準電圧値  $V_{r1}$  とコンパレータ素子 10 の負側入力端子 (−) とを接続して設けられる第 3 の抵抗素子  $R_3$  を含む合成入力抵抗と、パルス信号  $V_i$  の入力と負側入力端子 (−) とを接続して設けられる微分キャパシタ  $C_t$  とを備える。

#### 【0042】

図 7 の復調回路 100 b では、ヒステリシスコンパレータ部 2 b のコンパレータ素子 10 は、正側入力端子 (+) に第 1 の基準電圧値  $V_{r1}$  と逆相復調信号  $Q_n$  との間の電圧を、第 1 の抵抗素子  $R_1$  と第 2 の抵抗素子  $R_2$  とで分圧した電圧が入力され、負側入力端子 (−) に微分信号  $V_o$  が入力され、論理レベルの逆相復調信号  $Q_n$  が出力される。第 1 の抵抗素子  $R_1$  と第 2 の抵抗素子  $R_2$  は、コンパレータ素子 10 の正側入力端子 (+) と逆相復調信号  $Q_n$  とに対する正帰還回路を構成しており、コンパレータ素子 10 の正側入力端子 (+) からみた場合に、コンパレータ素子 10 からの論理レベルの逆相復調信号  $Q_n$  と第 1 の基準電圧値  $V_{r1}$  との電位差を分圧してコンパレータ素子 10 の正側入力端子 (+) に入力させる合成入力抵抗となっている。微分回路部 1 b では、微分キャパシタ  $C_t$  と第 3 の抵抗素子  $R_3$  が、入力するパルス信号の電圧変位分を微分信号としてコンパレータ素子 10 の負側入力端子 (−) に入力させる。

#### 【0043】

図 7 の微分回路部 1 b では、微分抵抗は概ね第 3 の抵抗素子  $R_3$  の値となる。

このため微分キャパシタ  $C_t$  の容量を大きな値としても小さな微分時定数を実現することができ、大きな逆相微分信号  $V_{on}$  を得ることができる。

#### 【0044】

このように本実施の形態の復調回路も、実施の形態1と同様に、比較的単純な構成で低消費電力であり、休止状態から受信が開始される際の冒頭パルス信号から受信でき、増幅段のオフセットの影響を受けないようにすることができる。

#### 【0045】

(実施の形態3.)

図8は、本発明の実施の形態3の復調回路の構成の一例を示すブロック図である。

図8の復調回路100cの微分回路部1cでは、入出力間に負帰還抵抗素子  $R_f$  が接続され、コンパレータ素子10の負側入力端子(−)に逆相微分信号  $V_{on}$  を出力する逆相出力アンプ30と、逆相出力アンプ30の入力端子とパルス信号  $V_i$  の入力端子との間に設けられる微分キャパシタ  $C_t$  とを備える。ヒステリシスコンパレータ部2cは、負側入力端子(−)に逆相出力アンプ30の逆相微分信号出力  $V_{on}$  が接続されて、論理レベルの正相復調信号  $Q_p$  を出力するコンパレータ素子10と、論理レベルの正相復調信号  $Q_p$  とコンパレータ素子10の正側入力端子(+)とを接続して設けられる第1の抵抗素子  $R_1$  と、コンパレータ素子10の正側入力端子(+)と第1の基準電圧値  $V_{r1}$  との間に設けられる第2の抵抗素子  $R_2$  とから構成される。

#### 【0046】

図9は、図8の逆相出力アンプ30の具体的な回路構成の例を示す回路図である。

図9の逆相出力アンプ回路153(=30)では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ  $T_1$ 、 $T_2$  が設けられ、抵抗  $R_c$  の一方の端部が電源電位  $V_{cc}$ 、他方の端部がバイポーラトランジスタ  $T_1$  のコレクタに接続される。微分キャパシタ  $C_t$  と負帰還抵抗素子  $R_f$  とが直列に接続され、パルス信号  $V_i$  は微分キャパシタ  $C_t$  を介してバイポーラトランジスタ  $T_1$  のベースに入力され、さらに、負帰還抵抗素子  $R_f$  を介して逆相微分信号  $V_{on}$

nが出力される。逆相微分信号 $V_{on}$ は、バイポーラトランジスタ $T_2$ のエミッタ部から出力される。

#### 【0047】

図8の微分回路部1cでは、微分抵抗は、負帰還抵抗素子 $R_f$ を逆相出力アンプ30のゲインで割った小さな値となる。このため微分キャパシタ $C_t$ の容量を大きな値としても小さな微分時定数を実現することができ、大きな逆相微分信号 $V_{on}$ を得ることができる。

#### 【0048】

このように本実施の形態の復調回路も、実施の形態1および2と同様に、比較的単純な構成で低消費電力であり、休止状態から受信が開始される際の冒頭パルス信号から受信でき、増幅段のオフセットの影響を受けないようにすることができる。

#### 【0049】

(実施の形態4.)

図10は、本発明の実施の形態4の復調回路の構成の一例を示すブロック図である。

図10に示した本実施の形態4の復調回路100dは、実施の形態1のヒステリシスコンパレータ部2aを平衡型のヒステリシスコンパレータ部2dに置き換えることに加え、コンパレータ素子20の負側入力端子(−)に正帰還をかけるために、逆相復調信号 $Q_n$ と第1の基準電圧値 $V_{r1}$ との間の電圧を第3の抵抗素子 $R_3$ と共に用いて分圧する第4の抵抗素子 $R_4$ が加えられている。その他の構成については、実施の形態1と同様である。

#### 【0050】

図10の復調回路100dの平衡型のヒステリシスコンパレータ部2dは、正相復調信号 $Q_p$ と逆相復調信号 $Q_n$ とを出力できる平衡型のコンパレータ素子20と、正相復調信号 $Q_p$ と第1の基準電圧値 $V_{r1}$ との間の電圧を分圧してコンパレータ素子20の正側入力端子(+)に正帰還をかける第1の抵抗素子 $R_1$ および第2の抵抗素子 $R_2$ と、逆相復調信号 $Q_n$ と第1の基準電圧値 $V_{r1}$ との間の電圧を分圧してコンパレータ素子20の負側入力端子(−)に正帰還をかける



第3の抵抗素子R3および第4の抵抗素子R4とを備える。復調回路100dの微分回路部1dは、コンパレータ素子20の正側入力端子(+)とパルス信号Viの入力端子との間に設けられる微分キャパシタCt1と、コンパレータ素子20の正側入力端子(+)側から見て第2の抵抗素子R2を含む合成入力抵抗とから構成される。

#### 【0051】

本実施の形態では、上記のようにコンパレータ素子20の出力が正相復調信号Qpと逆相復調信号Qnの2系統に増加してはいるが、コンパレータ素子20において、入出力間に正帰還をかけることと、出力にヒステリシス特性を持たせる点については、実施の形態1と同様である。

#### 【0052】

実施の形態1の図3の復調回路100aで、H/Lの各保持状態におけるコンパレータ素子10に入力する各差動入力電圧をVic hおよびVic lとし、コンパレータ素子10の正相および逆相の各出力電圧をVq hおよびVq lとすると、各差動入力電圧をVic hおよびVic lは、次の数式(1)、(2)のように示すことができる。(※は乗算を表わす)

$$V_{ic h} = (V_{q h} - V_{r 1}) * R_2 / (R_1 + R_2) \quad \dots (1)$$

$$V_{ic l} = (V_{q l} - V_{r 1}) * R_2 / (R_1 + R_2) \quad \dots (2)$$

#### 【0053】

ここで、コンパレータ素子10の出力のHの保持状態とLの保持状態とを揃えるためには、 $V_{ic h} = -V_{ic l}$ とする必要があり、以下の数式(3)に示すようにVr1の値が制限される。

$$V_{q h} - V_{r 1} = -(V_{q l} - V_{r 1}) \rightarrow V_{r 1} = (V_{q h} + V_{q l}) / 2 \quad \dots (3)$$

#### 【0054】

ここで仮に、Vr1を数式(3)を満たさない値にすると、 $V_{ic h} = -V_{ic l}$ にならないため、コンパレータ素子10の出力の一方の保持状態が悪くなったり、或いは、コンパレータ素子10における反転動作の遅延時間が、H→L、L→Hで差が生じるようになる。

## 【0055】

また、コンパレータ素子10が安定して状態保持できる（過入力状態にする）ようにするためには、コンパレータ素子10の利得を $A_c$ とすると、次の数式（4）の条件を必ず満足させる必要がある。

$$V_{ich} > (V_{qh} - V_{ql}) / A_c, \quad -V_{icl} > (V_{qh} - V_{ql}) / A_c \quad \dots (4)$$

## 【0056】

この数式（4）の条件は、正帰還第1の抵抗素子 $R_1$ 、第2の抵抗素子 $R_2$ および $V_{r1}$ で設定することができる。

## 【0057】

実施の形態4の図10の復調回路100dでは、コンパレータ素子20の正相復調信号 $Q_p$ および逆相復調信号 $Q_n$ のH状態の出力電圧が $(V_{qh})$ であり、L状態の出力電圧が $(V_{ql})$ とした場合、コンパレータ素子20の各状態に対応する差動入力電圧 $V_{ich}$ 及び $V_{icl}$ は、

$$V_{ich} = (V_{qh} - V_{r1}) * R_2 / (R_1 + R_2) - (V_{ql} - V_{r1}) * R_4 / (R_3 + R_4)$$

$$(Q_p \text{ が H 状態、} Q_n \text{ が L 状態}) \quad \dots (5)$$

$$V_{icl} = (V_{ql} - V_{r1}) * R_2 / (R_1 + R_2) - (V_{qh} - V_{r1}) * R_4 / (R_3 + R_4)$$

$$(Q_p \text{ が L 状態、} Q_n \text{ が H 状態}) \quad \dots (6)$$

となる。

## 【0058】

ここで、次の数式（7）が成り立つとすると、数式（5）及び（6）の条件は、次の数式（8）及び（9）のように変わる。

$$K = R_2 / (R_1 + R_2) = R_4 / (R_3 + R_4) \quad \dots (7)$$

$$V_{ich} = (V_{qh} - V_{ql}) * K$$

$$(Q_p \text{ が H 状態、} Q_n \text{ が L 状態}) \quad \dots (8)$$

$$V_{icl} = (V_{ql} - V_{qh}) * K$$

$$(Q_p \text{ が L 状態、} Q_n \text{ が H 状態}) \quad \dots (9)$$

## 【0059】

つまり、本実施の形態では、数式（7）を成り立たせることで、 $V_{r1}$ に無関

係に  $V_{ic h} = -V_{ic l}$  を成立させることができる。

#### 【0060】

従って、本実施の形態の復調回路も、上記した各実施の形態と同様に、比較的単純な構成で低消費電力であり、休止状態から受信が開始される際の冒頭パルス信号から受信でき、増幅段のオフセットの影響を受けないようにすることができる。また、本実施の形態 4 では、第 1 の基準電圧値  $V_{r 1}$  の変動に対する許容値量が増加し、この回路の設計の自由度を増加させることができる。さらに、回路の電源電圧や温度が変動すると一般的に  $V_{r 1}$  が変動するが、この  $V_{r 1}$  の値の変動を許容できる。また、実施の形態 4 では、実施の形態 1～3 では困難であった  $V_{ic h} = -V_{ic l}$  を容易に実現できる。

#### 【0061】

(実施の形態 5.)

図 11 は、本発明の実施の形態 5 の復調回路の構成の一例を示すブロック図である。

図 11 に示した本実施の形態 5 の復調回路 100e の微分回路部 1e は、正側入力端子 (+) と逆相微分信号  $V_{o n}$  の出力端子との間に第 1 の負帰還抵抗素子  $R_{f 1}$  を接続し負側入力端子 (-) と正相微分信号  $V_{o p}$  の出力端子との間に第 2 の負帰還抵抗素子  $R_{f 2}$  を接続する差動アンプ 40 と、パルス信号  $V_i$  の入力端子と差動アンプ 40 の正側入力端子 (+) との間に接続される微分キャパシタ  $C_{t 1}$  と、グランド接続端子と差動アンプ 40 の負側入力端子 (-) との間に接続される微分キャパシタ  $C_{t 2}$  とを備える。また、平衡型のヒステリシスコンパレータ部 2e は、実施の形態 4 と同様に正相復調信号  $Q_p$  と逆相復調信号  $Q_n$  とを出力できるコンパレータ素子 20 と、正相復調信号  $Q_p$  と差動アンプ 40 の正相出力端子との間の電圧を分圧してコンパレータ素子 20 の正側入力端子 (+) に正帰還をかける第 1 の抵抗素子  $R_1$  および第 2 の抵抗素子  $R_2$  と、逆相復調信号  $Q_n$  と差動アンプ 40 の逆相出力端子との間の電圧を分圧してコンパレータ素子 20 の負側入力端子 (-) に正帰還をかける第 3 の抵抗素子  $R_3$  および第 4 の抵抗素子  $R_4$  とから構成される。また、平衡型のヒステリシスコンパレータ部 2e は、正相微分信号  $V_{o p}$  および逆相微分信号  $V_{o n}$  の何れか一方が上位側電圧

しきい値以下から以上に変化した場合と、正相微分信号  $V_{op}$  および逆相微分信号  $V_{on}$  の何れか一方が下位側電圧しきい値以上から以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、そのヒステリシス特性に基づく電圧を論理レベルの電圧信号に変換した正相復調信号  $Q_p$  と逆相復調信号  $Q_n$  を出力する。

#### 【0062】

図12は、図11の復調回路の具体的な回路構成の一例を示す回路図である。

図12の微分回路部111 (= 1e) では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ  $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$  と、抵抗  $R_{c1}$ ,  $R_{c2}$  からなる差動アンプ40が設けられる。バイポーラトランジスタ  $T_1$  と抵抗  $R_{c1}$  が直列に接続され、バイポーラトランジスタ  $T_2$  と抵抗  $R_{c2}$  が直列に接続されている。また、吸い込み電流  $I_1$  は、抵抗  $R_{c1}$ ,  $R_{c2}$  のどちらか一方に流れる。バイポーラトランジスタ  $T_1$  のベース部にパルス信号  $V_{ip}$  が入力され、バイポーラトランジスタ  $T_2$  のベース部に逆相のパルス信号  $V_{in}$  が入力される。バイポーラトランジスタ  $T_3$  のエミッタ部から正相の微分信号  $V_{op}$  が出力され、バイポーラトランジスタ  $T_4$  のエミッタ部から逆相の微分信号  $V_{on}$  が出力される。

#### 【0063】

また、ヒステリシスコンパレータ部201 (= 2e) では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ  $T_5$ ,  $T_6$ ,  $T_7$ ,  $T_8$  と、抵抗  $R_{c3}$ ,  $R_{c4}$  からなるコンパレータ素子20が設けられる。バイポーラトランジスタ  $T_5$  と抵抗  $R_{c3}$  が直列に接続され、バイポーラトランジスタ  $T_6$  と抵抗  $R_{c4}$  が直列に接続されている。また、吸い込み電流  $I_3$  は、抵抗  $R_{c3}$ ,  $R_{c4}$  のどちらか一方に流れる。バイポーラトランジスタ  $T_5$  のベース部に正相の微分信号  $V_{op}$  が入力され、バイポーラトランジスタ  $T_6$  のベース部に逆相の微分信号  $V_{on}$  が入力される。バイポーラトランジスタ  $T_7$  のエミッタ部から正相の正相復調信号  $Q_p$  が出力され、バイポーラトランジスタ  $T_8$  のエミッタ部から逆相の逆相復調信号  $Q_n$  が出力される。

#### 【0064】

ここで比較のために、例えば、図 8 に示した実施の形態 3 の復調回路 100c の場合には、 $V_{ic h} = -V_{ic l}$  とするためには、 $V_{r 1}$  等の値に制限が生じることについて説明する。

#### 【0065】

実施の形態 3 の復調回路 100c の逆相出力アンプ 30 の出力バイアス電圧（保持時の電圧）を  $V_{a b}$  とし、H/L の各保持状態におけるコンパレータ素子 10 に入力する各差動入力電圧を  $V_{ic h}$  および  $V_{ic l}$  とし、コンパレータ素子 10 の H 状態の出力電圧を  $V_{q h}$  とし、L 状態の出力電圧を  $V_{q l}$  とすると、各保持状態の差動入力電圧  $V_{ic h}$  および  $V_{ic l}$  は、次の数式 (10)、(11) のように示すことができる。

$$V_{ic h} = (V_{q h} - V_{r 1}) * R 2 / (R 1 + R 2) + V_{r 1} - V_{a b} \quad \cdot \cdot (10)$$

$$V_{ic l} = (V_{q l} - V_{r 1}) * R 2 / (R 1 + R 2) + V_{r 1} - V_{a b} \quad \cdot \cdot (11)$$

#### 【0066】

ここで、 $K = R 2 / (R 1 + R 2)$  とおいて、 $V_{ic h} = -V_{ic l}$  となる条件を求めると、次の数式 (12) のように示される。

$$(V_{q h} + V_{q l}) + 2 * ((1 - K) * V_{r 1} - V_{a b}) = 0 \quad \cdot \cdot \cdot \cdot \cdot (12)$$

#### 【0067】

すなわち、 $V_{ic h} = -V_{ic l}$  となる条件を満足するためには、数式 (12) を満足する必要があるので、 $K$ 、 $V_{r 1}$ 、 $V_{a b}$  の間には数式 (12) に示した一定の制約を有していることがわかる。

#### 【0068】

しかし、図 11 に示した実施の形態 5 の復調回路 100e では、H/L の各保持状態におけるコンパレータ素子 20 に入力する各差動入力電圧を  $V_{ic h}$  および  $V_{ic l}$  とし、コンパレータ素子 20 の正相復調信号  $Q_p$  および逆相復調信号  $Q_n$  のそれぞれの H 状態の出力電圧が同じ ( $V_{q h}$ ) であり、それぞれの L 状態の出力電圧が同じ ( $V_{q l}$ ) であり、差動アンプ 40 の出力バイアス電圧（保持

時の電圧)を $V_{ab}$ とすると、各差動入力電圧を $V_{ich}$ および $V_{icl}$ は、次の数式(13)、(14)のように示すことができる。なお、実施の形態5においても、数式(4)の条件は満足させる必要がある。

$$V_{ich} = (V_{qh} - V_{ab}) * R2 / (R1 + R2) - (V_{ql} - V_{ab}) * R4 / (R3 + R4)$$

( $Q_p$ がH状態、 $Q_n$ がL状態) . . . (13)

$$V_{icl} = (V_{ql} - V_{ab}) * R2 / (R1 + R2) - (V_{qh} - V_{ab}) * R4 / (R3 + R4)$$

( $Q_p$ がL状態、 $Q_n$ がH状態) . . . (14)

#### 【0069】

$$\text{ここで、} K = R2 / (R1 + R2) = R4 / (R3 + R4) \quad \text{. . . (15)}$$

とおくと、数式(13)、(14)は、次の数式(16)、(17)のように示される。

$$V_{ich} = (V_{qh} - V_{ql}) * K \quad (\text{Q}_p \text{がH状態、Q}_n \text{がL状態}) \quad \text{. . . . . (16)}$$

$$V_{icl} = (V_{ql} - V_{qh}) * K \quad (\text{Q}_p \text{がL状態、Q}_n \text{がH状態}) \quad \text{. . . . . (17)}$$

#### 【0070】

つまり、本実施の形態では、 $V_{ab}$ に無関係に $V_{ich} = -V_{icl}$ を成立させることができるので、実施の形態4と同様な効果を有する。

#### 【0071】

さらに、本実施の形態5の復調回路は、以下の効果を有している。

(B1) H/Lの各保持状態におけるコンパレータ素子20の差動入力電圧 $V_{ich}$ および $V_{icl}$ は、例えば、上記した実施の形態3では第1の基準電圧値 $V_{r1}$ あるいは微分回路部1cのアンプ出力バイアス $V_{ab}$ の影響を受けるのに対して、本実施の形態5ではその影響を除去できる。

(B2) 本実施の形態5では、第1の基準電圧値 $V_{r1}$ や微分回路部1eのアンプ出力バイアス $V_{ab}$ の変動に対する許容値量が増加し、これら回路の設計の自由度を増加させることができる。

(B3) 回路の電源電圧や温度が変動すると、 $V_{qh}$ ,  $V_{ql}$ ,  $V_{rl}$ ,  $V_{ab}$  が、それぞれ温度係数が異なる形で変動するのが一般的であるが、これらの値の変動を許容できる。

(B4) 実施の形態3では、 $V_{ich} = -V_{icl}$ の実現が困難であるが、実施の形態5では、 $V_{ich} = -V_{icl}$  を容易に実現できる。

#### 【0072】

(実施の形態6.)

図13は、本発明の実施の形態6の復調回路の構成の一例を示すブロック図である。

図13に示した実施の形態6の復調回路100fでは、例えば、実施の形態4の平衡型ヒステリシスコンパレータ部2dの正側入力端子(+)に正相の微分信号 $V_{op}$ 、および、負側入力端子(-)に逆相の微分信号 $V_{on}$ を入力できるように、パルス信号 $V_i$ を正相入力差動信号 $V_{ip}$ および逆相入力差動信号 $V_{in}$ に変換する差動信号化回路50を、微分回路部1fの入力に付加している。

#### 【0073】

図14は、図13の差動信号化回路部50の回路構成の一例を示す回路図である。

図14の差動信号化回路部154(=50)では、電源電位 $V_{cc}$ と回路アース電位 $V_{ee}$ の間に、バイポーラトランジスタ $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$ と、抵抗 $R_{c1}$ ,  $R_{c2}$ ,  $R_{e1}$ ,  $R_{e2}$ からなる差動信号化回路50が設けられる。バイポーラトランジスタ $T_1$ のコレクタ側に抵抗 $R_{c1}$ 、エミッタ側に抵抗 $R_{e1}$ が直列に接続され、バイポーラトランジスタ $T_2$ のコレクタ側に抵抗 $R_{c2}$ 、エミッタ側に抵抗 $R_{e2}$ が直列に接続されている。また、吸い込み電流 $I_1$ は、抵抗 $R_{c1}$ ( $R_{e1}$ ),  $R_{c2}$ ( $R_{e2}$ )のどちらか一方に流れる。バイポーラトランジスタ $T_1$ のベース部にパルス信号 $V_i$ が入力され、バイポーラトランジスタ $T_2$ のベース部に第2の基準電圧値 $V_{r2}$ が入力される。バイポーラトランジスタ $T_3$ のエミッタ部から正相の入力差動信号 $V_{ip}$ が出力され、バイポーラトランジスタ $T_4$ のエミッタ部から逆相の入力差動信号 $V_{in}$ が出力される。

#### 【0074】

図15は、本発明の実施の形態6の復調回路の構成の別の一例を示すブロック図である。

図15に示した実施の形態6の復調回路100gでは、微分信号が正相の微分信号 $V_{op}$ 、および、負側入力端子(−)に逆相の微分信号 $V_{on}$ からなる平衡微分信号となることから可能となるダイオード系の非線形微分回路1gを利用した例である。図15の例では、例えば、図13の復調回路100fの微分回路部1fをダイオード系の非線形微分回路にするために、微分キャパシタ $C_{t1}$ とコンパレータ素子20の正側入力端子(+)との間にコンパレータ素子20側がカソードとなるように直列にダイオードD2を接続し、ダイオードD2のアノードと電圧値 $V_b$ との間にダイオードD2側がカソードとなるようにダイオードD1を接続すると共に、微分キャパシタ $C_{t2}$ とコンパレータ素子20の負側入力端子(−)との間にコンパレータ素子20側がカソードとなるように直列にダイオードD4を接続し、ダイオードD4のアノードと電圧値 $V_b$ との間にダイオードD2側がカソードとなるようにダイオードD3を接続している。

#### 【0075】

図16は、図15の平衡型ヒステリシスコンパレータ部2gの回路構成の一例を示す回路図である。

図16の平衡型ヒステリシスコンパレータ部202(=2g)では、図12に示した平衡型ヒステリシスコンパレータ部202の抵抗 $R_2$ および抵抗 $R_4$ の入力側が共に第1の基準電圧値 $V_{r1}$ に接続される。

#### 【0076】

図17は、本発明の実施の形態6の復調回路の構成のさらに別の一例を示すブロック図である。

図17に示した実施の形態6の復調回路100hでは、微分信号が正相の電流微分信号 $I_{op}$ 、および、逆相の電流微分信号 $I_{on}$ となるダイオード系(この場合はトランジスタ)の非線形微分回路1hを利用した例である。図17の例では、例えば、図13の復調回路100fの微分回路部1fをダイオード系のトランジスタを用いた非線形微分回路にするために、微分キャパシタ $C_{t1}$ とコンパレータ素子20の負側入力端子(−)との間に微分キャパシタ $C_{t1}$ 側がベース



でコンパレータ素子 20 側がコレクタとなるようにトランジスタ T2 を接続し、トランジスタ T2 のベースと電圧値  $V_b$ 、 $V_c$  との間にトランジスタ T2 のベース側がエミッタ、電圧値  $V_b$  がベース、電圧値  $V_c$  がコレクタとなるようにトランジスタ T1 を接続すると共に、微分キャパシタ  $C_{t2}$  とコンパレータ素子 20 の正側入力端子 (+) との間に微分キャパシタ  $C_{t2}$  側がベースでコンパレータ素子 20 側がコレクタとなるようにトランジスタ T4 を接続し、トランジスタ T4 のベースと電圧値  $V_b$ 、 $V_c$  との間にトランジスタ T4 のベース側がエミッタ、電圧値  $V_b$  がベース、電圧値  $V_c$  がコレクタとなるようにトランジスタ T3 を接続している。

#### 【0077】

図 18 は、図 17 の平衡型ヒステリシスコンパレータ部 2h の回路構成の一例を示す回路図である。

図 18 の平衡型ヒステリシスコンパレータ部 203 (= 2h) では、電源電位  $V_{cc}$  と回路アース電位  $V_{ee}$  の間に、バイポーラトランジスタ T5、T6 と、抵抗  $R_{c1}$ 、 $R_{c2}$  からなるコンパレータ素子 20 が設けられる。バイポーラトランジスタ T5 のコレクタ側に抵抗  $R_{c2}$  が直列に接続され、バイポーラトランジスタ T6 のコレクタ側に抵抗  $R_{c1}$  が直列に接続されている。バイポーラトランジスタ T6 のベース部に正相の入力差動電流  $I_{op}$  が入力され、バイポーラトランジスタ T5 のベース部に逆相の入力差動電流  $I_{on}$  が入力される。平衡型のヒステリシスコンパレータ部 203 のコンパレータ素子 20 の正相復調信号  $Q_p$  は、正相復調信号  $Q_p$  と逆相復調信号  $Q_n$  との間の電圧を分圧してコンパレータ素子 20 の正側入力端子 (+) および負側入力端子 (-) の間に正帰還をかける第 1 ～ 第 4 の抵抗素子  $R_1 \sim R_4$  とを備えるが、本実施の形態では、第 2 の抵抗素子  $R_2$  と第 4 の抵抗素子  $R_4$  とが 1 個の抵抗素子  $R_2 + R_4$  として共通化されている。

#### 【0078】

図 13 の実施の形態 6 の復調回路 100f では、例えば、実施の形態 4 の微分回路部 1d の入力側に、正側入力端子 (+) にパルス信号  $V_i$  を入力し、負側入力端子 (-) に第 2 の基準電圧値  $V_{r2}$  を入力すると共に、正相入力差動信号  $V$

i p および逆相入力差動信号  $V_{in}$  を出力する差動信号化回路 50 を付加している。また、正相入力差動信号  $V_{ip}$  の出力とコンパレータ素子 20 の正側入力端子 (+) との間に第 1 の微分キャパシタ  $C_{t1}$  を接続し、逆相入力差動信号  $V_{in}$  の出力とコンパレータ素子 20 の負側入力端子 (-) との間に第 2 の微分キャパシタ  $C_{t2}$  を接続する。

#### 【0079】

次に本実施の形態 6 の動作を説明する。

本実施の形態 6 の復調回路 100 f の平衡型ヒステリシスコンパレータ部 2 f の動作および効果は、実施の形態 4 の平衡型ヒステリシスコンパレータ部 2 d の動作および効果と同様であるので重複する説明を省略する。

#### 【0080】

本実施の形態 6 の復調回路 100 f では、平衡型ヒステリシスコンパレータ部 2 f への入力が正相および逆相の平衡微分信号  $V_{op}$  および  $V_{on}$  となるので、 $H \rightarrow L$  トランジエントと  $L \rightarrow H$  トランジエントとの応答速度および応答波形に差が生じないが、上記した実施の形態 4 では、平衡型ヒステリシスコンパレータ部 2 d への入力が平衡微分信号  $V_{op}$  および  $V_{on}$  では無いため、 $H \rightarrow L$  トランジエントと  $L \rightarrow H$  トランジエントとでは、回路の非線形性に基き、応答速度および応答波形に差が生じる。

#### 【0081】

このように本実施の形態 6 の復調回路は、実施の形態 4 と同様な効果に加えて、平衡微分信号  $V_{op}$  および  $V_{on}$  としたので、前述の平衡型ヒステリシスコンパレータ部 2 f を、正相入力端子をセット入力とし逆相入力端子をリセット入力とするセット／リセット入力型フリップフロップと考えて、 $V_{op}$  を該フリップフロップのセット信号とし  $V_{on}$  をリセット信号とする動作となる。図 15 に示すようなダイオードを利用した非線形の微分回路部 1 g、あるいは、図 17 に示すような（ダイオード系）トランジスタを利用した非線形の微分回路部 1 h を用いることが可能になり、適用回路の自由度を増加させることができ、さらに、以下の効果を有している。

(C1) 平衡型ヒステリシスコンパレータ部 2 f と平衡型の微分信号  $V_{op}$  およ

び  $V_{on}$  により、 $H \rightarrow L$  トランジェントと  $L \rightarrow H$  トランジェントとの応答速度および応答波形に差が生じることを防止できる。

(C2) ダイオード系、トランジスタ系等の非線形の微分回路部 1g、1h の使用が可能になり、適用回路の自由度を増加させることができる。

#### 【0082】

(実施の形態 7.)

図 19 は、本発明の実施の形態 7 の復調回路の構成の一例を示すブロック図である。

図 19 に示した実施の形態 7 の復調回路回路 100i では、例えば、実施の形態 5 の微分回路部 1e の差動アンプ 40 の入力側に、差動信号化回路 50 を付加している。差動信号化回路 50 は、正側入力端子 (+) にパルス信号  $V_i$  が入力され、負側入力端子 (-) に第 2 の基準電圧値  $V_{r2}$  が入力され、正相入力差動信号  $V_{ip}$  および逆相入力差動信号  $V_{in}$  が出力される。差動信号化回路 50 の正相入力差動信号  $V_{ip}$  出力と差動アンプ 40 の正側入力端子 (+) との間に第 1 の微分キャパシタ  $C_{t1}$  が接続され、差動信号化回路 50 の逆相入力差動信号  $V_{in}$  出力と差動アンプ 40 の負側入力端子 (-) との間に第 2 の微分キャパシタ  $C_{t2}$  が接続される。

#### 【0083】

本実施の形態でも、微分回路部 1e の入力側に差動信号化回路 50 が付加されているため、実施の形態 6 と同様に、 $H \rightarrow L$  トランジェントと  $L \rightarrow H$  トランジェントとの応答速度および応答波形に差が生じることを防止でき、適用回路の自由度を増加させることができる。

#### 【0084】

(実施の形態 8.)

図 20 は、本発明の実施の形態 8 の復調回路の構成の一例を示すブロック図である。

図 20 に示した実施の形態 8 の復調回路 100j では、例えば、実施の形態 3 に示した抵抗  $R_f$  により逆相の微分信号  $V_{on}$  が負帰還される逆相出力アンプ 30 を有する微分回路部 1c が、その入力側（微分キャパシタ  $C_t$  の入力側）に微

分特性を調整するための抵抗  $R_t$  を直列に接続した微分回路 4 a となっている。

#### 【0085】

実施の形態 3 の抵抗  $R_f$  により逆相の微分信号  $V_{on}$  が負帰還される逆相出力アンプ 30 の利得を  $A$  とした場合、逆相出力アンプ 30 の入力抵抗  $R_i$ 、および、入力  $\Delta V_i$  に対する出力振幅  $\Delta V_o$ 、および、微分時定数  $\tau$  は、次の数式 (18)、(19)、(20) のように示すことができる。なお、微分時定数  $\tau$  は、微分出力パルスの時間幅を決める主要な要素である。

$$R_i = R_f / (A + 1) \quad \dots (18)$$

$$\Delta V_o = -\Delta V_i * A \quad \dots (19)$$

$$\tau = C_t * R_i = C_t * R_f / (A + 1) \quad \dots (20)$$

#### 【0086】

上記各数式から、例えば、実施の形態 3 で逆相出力アンプ 30 の利得  $A$  の値が十分に大きい場合には、出力振幅  $\Delta V_o$  の値は利得  $A$  の値をそのまま用いて乗算されるので非常に大きい値になり、微分時定数  $\tau$  の値は利得  $A$  の値を用いて除算されるので非常に小さい値になる。それに対して本実施の形態 8 の場合には、微分キャパシタ  $C_t$  に直列に微分特性調整用抵抗  $R_t$  が接続されるので、数式 (19)、(20) は、次の数式 (21)、(22) のように示すことができる。

$$\Delta V_o = -\Delta V_i * R_f / (R_t + R_f / (1 + A))$$

$$\doteq -\Delta V_i * R_f / R_t \quad \dots (21)$$

$$\tau = C_t * (R_t + R_i) = C_t * (R_t + R_f / (A + 1))$$

$$\doteq C_t * R_t \quad \dots (22)$$

#### 【0087】

上記した数式 (21)、(22) では、利得  $A$  の値が演算に影響しなくなるため、出力振幅  $\Delta V_o$  の値および微分時定数  $\tau$  の値を適切な範囲の値にすることができる。

#### 【0088】

このように本実施の形態 8 では、抵抗  $R_f$  により逆相の微分信号  $V_{on}$  が負帰還される逆相出力アンプ 30 を有する微分回路部 1 c の出力振幅  $\Delta V_o$ 、および、微分時定数  $\tau$  (すなわち、微分出力パルスの時間幅) を適切な範囲の値に調整

することができる。

#### 【0089】

(実施の形態9.)

図21は、本発明の実施の形態9の復調回路の構成の一例を示すブロック図である。

図21に示した実施の形態9の復調回路100kでは、例えば、実施の形態7に示した抵抗 $R_{f1}$ および $R_{f2}$ により正相の微分信号 $V_{op}$ と逆相の微分信号 $V_{on}$ が負帰還される差動アンプ40を有し、その差動アンプ40の入力側に差動信号化回路50が付加された微分回路部1iにおいて、入力側(微分キャパシタ $C_{t1}$ の入力側)に微分特性を調整するための抵抗 $R_{t1}$ を直列に接続し、同様に微分キャパシタ $C_{t2}$ の入力側に微分特性を調整するための抵抗 $R_{t2}$ を直列に接続した微分回路4bとなっている。

#### 【0090】

本実施の形態9の復調回路では、実施の形態8に示した各式中の $R_f$ を本実施の形態の $R_{f1}$ あるいは $R_{f2}$ に置き換えることで、本実施の形態でも出力振幅 $\Delta V_o$ の値および微分時定数 $\tau$ の値を適切な範囲の値に調整することができる。

#### 【0091】

(実施の形態10.)

図22は、本発明の実施の形態10の復調回路の構成の一例を示すブロック図である。

図22の復調回路100lは、例えば、実施の形態1の復調回路100aにおける微分回路部1aに出力振幅を一定値以下に制限する回路(あるいは素子)を付加した回路であり、復調回路100lの微分回路部1lでは、出力先のコンパレータ素子10の入力端子間の入力振幅(微分出力振幅)を一定値以下に制限するためのダイオードD5およびD6を各々逆方向に接続することにより、微分出力の振幅を制限する回路が付加されている。

#### 【0092】

図23は、本発明の実施の形態10の復調回路の構成の別の一例を示すブロック図である。

図 23 の復調回路 100m は、例えば、実施の形態 3 の復調回路 100c における微分回路部 1c の逆相出力アンプ 30 の出力に抵抗と出力振幅を一定値以下に制限する回路を付加した回路であり、復調回路 100m の微分回路部 1m には、逆相出力アンプ 30 の出力に直列に抵抗  $R_o$  が接続されると共に出力先のコンパレータ素子 10 の入力端子間の入力振幅（微分出力振幅）を一定値以下に制限するためのダイオード D5 および D6 を各々逆方向に接続することにより、微分出力の振幅を制限する回路が付加されている。

#### 【0093】

図 24 は、本発明の実施の形態 10 の復調回路の構成のさらに別の一例を示すブロック図である。

図 24 の復調回路 100n は、例えば、実施の形態 8 の復調回路 100j における微分回路部 1c の逆相出力アンプ 30 の負帰還抵抗素子  $R_f$  に並列に出力振幅を一定値以下に制限する回路（あるいは素子）を付加した回路であり、復調回路 100n の微分回路部 1n では、逆相出力アンプ 30 の負帰還抵抗素子  $R_f$  に並列に微分出力振幅を一定値以下に制限するためのダイオード D5 および D6 を各々逆方向に接続することにより、微分出力の振幅を制限する回路が付加されている。

#### 【0094】

図 25 は、本発明の実施の形態 10 の復調回路の構成のまた別の一例を示すブロック図である。

図 25 の復調回路 100o の微分回路部 3 では、例えば、図 15 に示した実施の形態 6 の復調回路 100g における微分回路部 1g のダイオード D2、D4 の各カソード側と第 1 の基準電圧値  $V_{r1}$  との間に出力振幅を一定値以下に制限するためのダイオード D5 および D6 を各々同方向に接続することにより、微分出力の振幅を制限する回路が付加されている。

#### 【0095】

図 26 は、本発明の実施の形態 10 の復調回路の構成のさらにまた別の一例を示すブロック図である。

図 26 の復調回路 100p の微分回路部 3 では、例えば、図 17 に示した実施

の形態 6 の復調回路 100 h における微分回路部 1 h のトランジスタ T 4 のコレクタ側でコンパレータ素子 20 の正側入力端子 (+) との間と、基準電圧  $V_r$  との間に出力振幅を一定値以下に制限するためのダイオード D 5 を接続し、トランジスタ T 2 のコレクタ側とコンパレータ素子 20 の負側入力端子 (-) との間と、基準電圧  $V_r$  との間に出力振幅を一定値以下に制限するためのダイオード D 6 を接続することにより、微分出力の振幅を制限する回路が付加されている。

#### 【0096】

復調回路に入力するパルス信号  $V_i$  の振幅値  $\Delta V_i$  は、常に一定であるとは限らず、大きい値である場合もあり、小さい値である場合もある。例えば、図 23 の復調回路 100 m の微分回路部 1 m を、パルス信号  $V_i$  の振幅値  $\Delta V_i$  が小さい値でもヒステリシスコンパレータ部の復調出力が反転するためのしきい値を超える微分出力  $\Delta V_o$  が得られるように設定した場合、逆に入力するパルス信号  $V_i$  の振幅値  $\Delta V_i$  が大きくなると、逆相出力アンプ 30 が飽和したり、微分回路部 1 m の微分出力がコンパレータ素子 10 の適性入力レベルを外れて、動作が不安定になる場合がある。

#### 【0097】

このように本実施の形態では、微分回路部 1 に、微分出力の振幅を一定値以下に制限する制限回路（或いは素子）を追加しているので、入力するパルス信号  $V_i$  の振幅  $\Delta V_i$  が大きい場合の微分回路部 1 の出力振幅を一定値以下に制限でき、微分回路部の微分出力がコンパレータ素子 10 の適性入力レベルを外れた場合の、不安定な動作が発生すること軽減（あるいは防止）することができる。

#### 【0098】

（実施の形態 11.）

図 27 は、本発明の実施の形態 11 の復調回路の構成の一例を示すブロック図である。

本実施の形態 11 の復調回路 100 q は、例えば、実施の形態 3 の復調回路 100 c のヒステリシスコンパレータ部 2 c において、そのコンパレータ素子 10 の正帰還抵抗 R 1 に対し、出力保持時の正帰還振幅を一定値以下に制限する回路（或いは素子）を接続したものである。

## 【0099】

図27の復調回路100qでは、図8に示した実施の形態3の復調回路100cのヒステリシスコンパレータ部2cの出力を正帰還させる第1の抵抗素子R1を、抵抗素子R1aと抵抗素子R1bに分割したものに變更して両者を直列接続し、さらに、その両抵抗素子の接続点と第1の基準電圧値Vr1との間に、出力保持時の正帰還振幅を一定値以下に制限するために相互に逆方向に接続されるダイオードD9およびD10を接続してヒステリシスコンパレータ部2qとしている。

## 【0100】

図28は、本発明の実施の形態11の復調回路の構成の別の一例を示すブロック図である。

図28の復調回路100rでは、図11に示された実施の形態5の復調回路100eのヒステリシスコンパレータ部2eにおいて、正相の出力を正帰還させる第1の抵抗素子R1を、抵抗素子R1aと抵抗素子R1bに分割したものに變更して両者を直列接続し、逆相の出力を正帰還させる第3の抵抗素子R3を、抵抗素子R3aと抵抗素子R3bに分割したものに變更して両者を直列接続し、抵抗素子R1aと抵抗素子R1bとの接続点と、抵抗素子R3aと抵抗素子R3bとの接続点間に、出力保持時の正帰還振幅を一定値以下に制限するために相互に逆方向に接続されるダイオードD9およびD10を接続してヒステリシスコンパレータ部2rとしている。

## 【0101】

図27に示したコンパレータ素子10あるいは図28に示したコンパレータ素子20から出力される復調出力は、例えば、電源電圧あるいは温度が上昇すると、一般的に振幅が増加し、電源電圧あるいは温度が低下すると一般的に振幅も減少する等、電源や温度等の影響を受け変動する。上記した各実施の形態において、ヒステリシスコンパレータ部2の出力振幅が変動すると、数式(16)および数式(17)に示したように、出力保持時のヒステリシスコンパレータ部2の保持入力電圧が変動する。このことは、微分回路部1の出力によって、コンパレータ素子10、20の出力を反転させるか否かのスレッシュホールドレベルが変動して



しまうことになる。

#### 【0 1 0 2】

本実施の形態 1 1 では、出力保持時の正帰還振幅を一定値以下に制限する素子（図 2 3、2 4 では、ダイオード D 9 および D 1 0）を設けたことにより、ヒステリシスコンパレータ部 2 の出力振幅が変動する場合でも、出力が保持される時のヒステリシスコンパレータ部 2 の保持入力電圧が変動しない。

#### 【0 1 0 3】

このように本実施の形態の復調回路は、ヒステリシスコンパレータ部 2 の出力の出力振幅が変動しても反転／非反転のスレッシュホールドレベルが一定値に保たれるので、本実施の形態の復調回路は電源電圧の変動等に対して安定して動作することができ、電源電圧変動等によるヒステリシスコンパレータ部 2 の出力の反転／非反転のスレッシュホールドレベルの変動を軽減（或いは防止）することができる。

#### 【0 1 0 4】

（実施の形態 1 2 . ）

図 2 9 は、本発明の実施の形態 1 2 の復調回路の構成の一例を示すブロック図である。

図 2 9 に示した実施の形態 1 2 の復調回路 1 0 0 s は、例えば、実施の形態 1 の復調回路 1 0 0 a の微分回路部 1 a におけるパルス入力 V i の入力部に、低域通過フィルター（L P F）6 0 を挿入して微分回路部 5 a とした構成である。

#### 【0 1 0 5】

図 3 0 は、本発明の実施の形態 1 2 の復調回路の構成の別の一例を示すブロック図である。

図 3 0 に示した実施の形態 1 2 の復調回路 1 0 0 t は、例えば、実施の形態 8 の復調回路 1 0 0 j の微分回路部 4 a におけるパルス入力 V i の入力部に、低域通過フィルター（L P F）6 0 を挿入して微分回路部 5 b とした構成である。

#### 【0 1 0 6】

図 3 1 は、本発明の実施の形態 1 2 の復調回路の構成のさらに別の一例を示すブロック図である。

図 3 1 に示した実施の形態 1 2 の復調回路 1 0 0 u は、例えば、実施の形態 9 の復調回路 1 0 0 k の微分回路部 4 b における、差動信号化回路 5 0 の出力と、抵抗  $R_{t1}$  および抵抗  $R_{t2}$  との間に、直列に低域通過フィルター (LPF) 6 0 を挿入して微分回路部 5 c とした構成である。

#### 【0 1 0 7】

微分回路部は、一般的に基本的に高域通過フィルター (HPF) 特性を有するので、高域周波数領域の雑音成分を通過させて、後段に配置されたヒステリシスコンパレータ部 2 を誤動作させる場合があるが、本実施の形態では、上記したように各微分回路部に LPF 6 0 を挿入することにより、不要な高周波帯域の雑音を除去することができ、誤動作を軽減あるいは防止することができる。

#### 【0 1 0 8】

(実施の形態 1 3.)

図 3 2 は、本発明の実施の形態 1 3 の復調回路の構成の一例を示すブロック図である。

図 3 2 に示した実施の形態 1 3 の復調回路 1 0 0 v では、例えば、図 8 に示した実施の形態 3 の復調回路 1 0 0 c におけるヒステリシスコンパレータ部 2 c を、論理状態保持部 6 a と論理レベル変換部 8 0 とに分離したヒステリシスコンパレータ部 2 v としている。

#### 【0 1 0 9】

図 3 2 の復調回路 1 0 0 v では、ヒステリシスコンパレータ部 2 v の論理状態保持部 6 a が、負側入力端子 (−) を微分回路部 1 c の逆相微分信号  $V_{on}$  の出力に接続する論理状態保持用差動アンプ 7 0 と、その論理状態保持用差動アンプ 7 0 における正相出力  $V_{hp}$  と正側入力端子 (+) とを接続して設けられる第 1 の抵抗素子  $R_1$  と、その正側入力端子 (+) と第 1 の基準電圧値  $V_{r1}$  とを接続して設けられる第 2 の抵抗素子  $R_2$  とから構成される。一方、論理レベル変換部 8 0 は、論理状態保持用差動アンプ 7 0 の正相出力  $V_{hp}$  および逆相出力  $V_{hn}$  が正側入力端子 (+) および負側入力端子 (−) に接続され、論理正相復調信号  $Q_p$  を出力するコンパレータ素子である。

#### 【0 1 1 0】

図 33 は、本発明の実施の形態 13 の復調回路の構成の別の一例を示すブロック図である。

図 33 に示した実施の形態 13 の復調回路 100w では、例えば、図 11 に示した実施の形態 5 の復調回路 100e におけるヒステリシスコンパレータ部 2e を、論理状態保持部 6b と論理レベル変換部 90 とに分離したヒステリシスコンパレータ部 2w としている。

#### 【0111】

図 33 の復調回路 100w では、ヒステリシスコンパレータ部 2w の論理状態保持部 6b が、負側入力端子（－）を微分回路部 1c の逆相微分信号  $V_{on}$  の出力に接続する論理状態保持用差動アンプ 70 と、その論理状態保持用差動アンプ 70 における正相出力  $V_{hp}$  と正側入力端子（＋）とを接続して設けられる第 1 の抵抗素子  $R_1$  と、その正側入力端子（＋）と微分回路部 1e の正相微分信号  $V_{op}$  の出力とを接続して設けられる第 2 の抵抗素子  $R_2$  と、論理状態保持用差動アンプ 70 において逆相出力  $V_{hn}$  と負側入力端子（－）とを接続して設けられる第 3 の抵抗素子  $R_3$  と、その負側入力端子（－）と微分回路部 1e の逆相微分信号  $V_{on}$  の出力とを接続して設けられる第 4 の抵抗素子  $R_4$  とから構成される。一方、論理レベル変換部 90 は、論理状態保持用差動アンプ 70 の正相出力  $V_{hp}$  および逆相出力  $V_{hn}$  を正側入力端子（＋）および負側入力端子（－）に接続し論理正相復調信号  $Q_p$  および論理逆相復調信号  $Q_n$  を出力するコンパレータ素子である。

#### 【0112】

論理状態保持部 6a あるいは 6b において、パルス信号  $V_i$  を微分した微分信号が反転するレベルと再反転レベルとの間で出力状態（論理状態）を維持する動作は、例えば、実施の形態 3～5 等におけるヒステリシスコンパレータ部 2c～2e の説明と同様となるため重複する説明を省略する。また、論理レベル変換部 80 あるいは 90 におけるコンパレータ素子としての動作も、一般的な動作となるので説明を省略する。

#### 【0113】

ここで、本実施の形態のようにヒステリシスコンパレータ部 2 を、論理状態保

持部 6 a, 6 b と論理レベル変換部 8 0、9 0 とに分離するメリットについて説明する。

一般的に T T L 論理回路等により構成されるコンパレータ素子は、不平衡な論理信号（シングル出力）を出力するのに適しているため、そのために用いられる場合が多く、実施の形態 4 以降で説明してきた 2 出力の平衡型ヒステリシスコンパレータ部として用いるには適切でない場合がある。しかし、本実施の形態のように平衡型の論理状態保持部 6 a あるいは 6 b と、不平衡出力の論理レベル変換部 8 0 あるいは 9 0 と分離して個々にコンパレータ素子を用いて構成させることで、平衡型ヒステリシスコンパレータ部としての機能と、一定のバッファ機能が必要とされる不平衡論理出力機能とを両立させることができる。

#### 【0114】

また、ヒステリシスコンパレータ部 2 は、例えば、適用される論理回路が T T L か E C L か等によって、論理出力回路の論理レベルが T T L レベルあるいは E C L レベル等に限定される。そのため、従来のヒステリシスコンパレータ部 2 に適正レベルの入力信号を正帰還させる範囲の元信号を微分回路部 1 から出力させるには、微分回路部 1 に対しては、振幅の大きさ、あるいは、直流バイアス電圧等についての制限が生じていた。しかし、本実施の形態では、ヒステリシスコンパレータ部 2 を、論理状態保持部 6 a あるいは 6 b と、論理レベル変換部 8 0 あるいは 9 0 とに分離することから、例えば、論理状態保持部 6 a あるいは 6 b を最適な正帰還量を得る機能の回路に特化させ、微分回路部 1 と論理レベル変換部 8 0 あるいは 9 0 を各々最適に結合するレベル変換機能の回路に特化させることができるので、微分回路部 1、論理状態保持部 6 a あるいは 6 b、論理レベル変換部 8 0 あるいは 9 0 の各々を最適化することができる。

#### 【0115】

ここで更に、例えば、論理状態保持部 6 a あるいは 6 b を、更に入力部（マスター）と正帰還保持部（スレーブ）とに分離すると、上記に加えて更に設計の自由度を大きくすることができる

#### 【0116】

図 3 4 は、本発明の実施の形態 1 3 の復調回路で論理状態保持部を入力部と正

帰還保持部とに分離した構成の一例を示すブロック図である。

図 34 に示した実施の形態 13 の復調回路 100x では、例えば、図 33 に示したヒステリシスコンパレータ部 2w の論理状態保持部 6b において、論理状態保持用差動アンプ 70 の入力を、微分信号が入力される入力部（マスター）と、正帰還信号が入力される正帰還保持部（スレーブ）に分離した論理状態保持部 6c としたものである。

#### 【0117】

図 35 は、図 34 の論理状態保持部 6c の回路構成の一例を示す回路図である。

図 35 の論理状態保持部 6c では、トランジスタ T9 と T10、抵抗 Re1 と Re2、および、吸い込み電流 I4 が記載された回路ブロックが入力部 8 であり、トランジスタ T1 ～ T4、抵抗 Rc1 と Rc2、吸い込み電流 I1 ～ I3 が記載された回路ブロックが正帰還保持部 9 である。

#### 【0118】

図 35 の回路では、吸い込み電流 I4 と I1 との関係を、 $I4 > I1$  である。論理状態を保持する場合には、通常の吸い込み電流 I1 は、抵抗 Rc1、Rc2 のどちらか一方に流れるが、入力部 8（差動回路）のトランジスタ T9、T10 によって、流れていない側の抵抗 Rc1、Rc2 にも差動電流を流すことで、また、 $I4 > I1$  なので、該抵抗にベースが接続されているトランジスタ T3 及び T4 のベース電位の H/L の関係を反転させる。この反転したベース電位が正帰還されるので、トランジスタ T1 および T2 を含む正帰還保持部 9 の保持状態は急速に反転する。正帰還保持部 9 の出力を反転させるか否かを定める入力電圧のスレッシュホールド値は、抵抗 Re1 と Re2 と吸い込み電流 I4 により調整することができる。

#### 【0119】

論理状態保持部 6c の入力部 8 と正帰還保持部 9 に分離する効果としては、例えば、図 33 の復調回路 100w の論理状態保持用差動アンプ 70 の入力バイアスは、微分回路部 1e の差動アンプ 40 の出力バイアスの影響を受けるので、両者の回路形式は互いに動作可能なバイアスが得られる形式に限定されるが、図 3

5の入力部8と正帰還保持部9を分離した論理状態保持部6cでは、入力部8の入力バイアスは正帰還保持部9のバイアスに何ら影響も与えない。従って、図35の入力に出力を接続する微分回路部1と、正帰還保持部9とで、互いのバイアスを同様にする必要が無くなり、互いのバイアスを制約しない自由度のある設計が可能になる。

#### 【0120】

このように本実施の形態13の復調回路は、以下の効果を有している。

(D1) 論理状態保持部を入力部と正帰還保持部とに分離することから、微分回路部1の出力バイアスと、正帰還保持部のバイアスとが異なる設計も可能になる。

なお、本実施の形態では、図33のヒステリシスコンパレータ部2wを入力部8と正帰還保持部9に分離した場合を示したが、他の実施の形態のヒステリシスコンパレータ部を入力部8と正帰還保持部9に分離しても、同様の効果を得ることができる。

#### 【0121】

(実施の形態14.)

図36は、本発明の実施の形態14の復調回路の構成の一例を示すブロック図である。

図36に示した実施の形態14の復調回路100yでは、例えば、図8に示した実施の形態3の復調回路100cにおけるヒステリシスコンパレータ部2cの帰還抵抗R1を含む帰還回路の接続を、小さい抵抗を組み合わせる大きな抵抗比を得るラダー形の接続にしている。

#### 【0122】

図37は、本発明の実施の形態14の復調回路の構成の別の一例を示すブロック図である。

図37に示した実施の形態14の復調回路100zでは、例えば、図11に示した実施の形態5の復調回路100eにおけるヒステリシスコンパレータ部2eの帰還抵抗R1を含む帰還回路と帰還抵抗R3を含む帰還回路の接続を、小さい抵抗を組み合わせる大きな抵抗比を得るラダー形の接続にしている。

## 【0123】

例えば、図8の復調回路100cで、正帰還量 $1/100$ を得るべく、帰還抵抗 $R1 = 100\text{ k}\Omega$ 、第2の抵抗素子 $R2 = 1\text{ k}\Omega$ とした場合なら、図36の復調回路100yでは、 $R1a = 9\text{ k}\Omega$ 、 $R1b = 9\text{ k}\Omega$ 、第2の抵抗素子 $R2 = 1\text{ k}\Omega$ 、 $R5 = 1.1\text{ k}\Omega$ などとする事で同一正帰還量 $1/100$ を得ることができる。つまり、 $100\text{ k}\Omega$ の帰還抵抗に相当する抵抗比を $9\text{ k}\Omega$ の2個の抵抗と $1.1\text{ k}\Omega$ の抵抗をラダー型に接続して得ている。同様に図37の復調回路100zでも、小さな値の抵抗 $R1a$ および $R3a$ 、 $R1b$ および $R3b$ 、および、 $R5$ をラダー型に接続することで大きな抵抗比を得ることができる。

## 【0124】

本実施の形態では、この抵抗値を下げることで、IC化する場合に必要となる面積を減少させることができる。例えば、実施の形態3の復調回路100cではヒステリシスコンパレータ部2cの帰還抵抗 $R1 = 99\text{ k}\Omega$ （約 $100\text{ k}\Omega$ ）分の面積が必要になるのに比べて、本実施の形態14の復調回路100yではヒステリシスコンパレータ部（2y）の帰還抵抗 $R1a = 9\text{ k}\Omega$ （約 $100\text{ k}\Omega$ ）、 $R1b = 9\text{ k}\Omega$ 、 $R5 = 1.1\text{ k}\Omega$ 分の合計 $19.1\text{ k}\Omega$ （約 $20\text{ k}\Omega$ ）分の面積が必要なのである。また、本実施の形態では、抵抗を小さくできることから、抵抗自身が有する浮遊容量と時定数を小さくすることができ、抵抗の浮遊容量による悪影響を軽減することができる。

## 【0125】

（実施の形態15.）

図38および図39は、本発明の実施の形態15の復調回路におけるヒステリシスコンパレータ部の構成の一例を示す回路図であり、図4に示した実施の形態1のシングル入力（不平衡型）のヒステリシスコンパレータ部2aにおけるバイポーラトランジスタを、C-MOSのFET（トランジスタ）に置き換えた場合のヒステリシスコンパレータ部の回路例251、252を示している。

## 【0126】

図40および図41は、本発明の実施の形態15の復調回路におけるヒステリシスコンパレータ部の構成の別の一例を示す回路図であり、図12に示した実施

の形態5の平衡型のヒステリシスコンパレータ部2eにおけるバイポーラトランジスタを、C-MOSのFETに置き換えた場合のヒステリシスコンパレータ部の回路例253、254を示している。

#### 【0127】

図42～図44は、本発明の実施の形態15の復調回路におけるヒステリシスコンパレータ部の構成のさらに別の一例を示す回路図であり、図40および図41のヒステリシスコンパレータ部ではC-MOSのFETを用いたことから、さらにC-MOSのラッチ回路を流用して構成した場合のヒステリシスコンパレータ部の回路例253、254を示している。この回路は、実施の形態6の図14～図18のヒステリシスコンパレータ部の類型回路であり、基準電圧 $V_{th}$ で出力が反転する入力電圧振幅のスレッシュホールドを調整できる。

#### 【0128】

このように、本実施の形態15の復調回路は、ヒステリシスコンパレータ部の回路にバイポーラトランジスタに換えてC-MOSのFETを用いた場合でも、上記した各実施の形態と同様な効果を得ることができる。

#### 【0129】

なお、本発明の復調回路は上記した回路に限るものではなく、各実施の形態に記載された微分回路部やヒステリシスコンパレータ部の特徴を有するように構成された復調回路であれば本発明の適用が可能であり、また、各実施の形態の構成を適宜に組み合わせて実施してもよい。

#### 【0130】

例えば、ヒステリシスコンパレータ部については、微分信号 $V_o$ 入力が所定の上位側電圧しきい値 $V_{othH}$ 或いは下位側電圧しきい値 $V_{othL}$ を超えない第1の基準電圧値 $V_{r1}$ 側である間はそれ以前のH/Lの論理状態を維持して出力し、論理状態を反転させる入力が上位側電圧しきい値 $V_{othH}$ 或いは下位側電圧しきい値 $V_{othL}$ を超えた時に正帰還動作の効果により急速に論理状態を反転させる機能と、その論理状態を保持する機能を有している回路であればよい。また、ヒステリシスコンパレータ部の正帰還させる経路は、コンパレータ素子の入出力間でなくても良い。



**【0131】**

また、微分回路部の時定数の設定は上記した各実施の形態の時定数に限られるものではなく、例えば、パルス信号  $V_i$  を微分し、ヒステリシスコンパレータ部の出力が反転動作可能な時間より長く、パルス信号  $V_i$  の単位パルス幅時間より短い時間だけ、上位側電圧しきい値  $V_{othH}$  或いは下位側電圧しきい値  $V_{othL}$  を正あるいは負に超える微分入力をヒステリシスコンパレータ部の入力に供給できればよく、微分特性としては線形／非線形のいずれのタイプでもよい。

**【0132】**

また、上記した各実施の形態の復調回路を光受信回路に用いる場合には、従来はピークホールド回路あるいは加算回路等を含む複雑で大規模な回路が必要で消費電力も大きかったものが、比較的簡単な構成のキャパシタ結合増幅器等を用いることができ、部品点数を減少させることができ、消費電力も減少させることができる。

**【0133】****【発明の効果】**

上記のように本発明の復調回路は、コンパレータ素子に簡単な正帰還をかけるヒステリシスコンパレータ部と微分回路部という比較的単純な構成であり、ヒステリシス特性により復調信号におけるどんな長連の“H”状態の維持、あるいは、“L”状態の維持でも可能となる。さらに、本実施の形態の復調回路は、従来回路に比べて、回路要素数の少ないシンプルな構成で、回路要素数が少ないので、低消費電力であり、増幅段のオフセットの影響を受けず、特別な積分（直流検出）回路やピークホールド回路を必要としないで、休止状態から受信が開始される際の冒頭のパルス信号から受信することができる。

**【0134】**

また、本発明の復調回路を光受信回路に用いた場合には、復調回路で電圧変化量を検出して微分信号を出力し、その微分信号に対してヒステリシスコンパレータで保持あるいは反転された信号を出力するので、比較的簡単な構成のキャパシタ結合増幅器等を用いることができ、部品点数を減少させることができ、消費電力も減少させることができる。

**【図面の簡単な説明】**

- 【図 1】 本発明の実施の形態 1 の復調回路の構成を示すブロック図である。
- 【図 2】 図 1 の復調回路を光受信回路に用いた場合の構成の一例を示すブロック図である。
- 【図 3】 図 1 の復調回路のさらに詳細な構成の一例を示すブロック図である。
- 【図 4】 図 3 のヒステリシスコンパレータ部のさらに具体的な回路構成の例を示す回路図である。
- 【図 5】 図 3 の復調回路に第 1 の基準電圧値を供給する具体的な回路構成の例を示す回路図である。
- 【図 6】 (a) ~ (d) は図 1 の復調回路の入出力信号の波形図である。
- 【図 7】 本発明の実施の形態 2 の復調回路の構成の一例を示すブロック図である。
- 【図 8】 本発明の実施の形態 3 の復調回路の構成の一例を示すブロック図である。
- 【図 9】 図 8 の逆相出力アンプの具体的な回路構成の例を示す回路図である。
- 【図 1 0】 本発明の実施の形態 4 の復調回路の構成の一例を示すブロック図である。
- 【図 1 1】 本発明の実施の形態 5 の復調回路の構成の一例を示すブロック図である。
- 【図 1 2】 図 1 1 の復調回路の具体的な回路構成の一例を示す回路図である。
- 【図 1 3】 本発明の実施の形態 6 の復調回路の構成の一例を示すブロック図である。
- 【図 1 4】 図 1 3 の差動信号化回路部の回路構成の一例を示す回路図である。
- 【図 1 5】 本発明の実施の形態 6 の復調回路の構成の別の一例を示すブ

ック図である。

【図 1 6】 図 1 5 の平衡型ヒステリシスコンパレータ部の回路構成の一例を示す回路図である。

【図 1 7】 本発明の実施の形態 6 の復調回路の構成のさらに別の一例を示すブロック図である。

【図 1 8】 図 1 7 の平衡型ヒステリシスコンパレータ部の回路構成の一例を示す回路図である。

【図 1 9】 本発明の実施の形態 7 の復調回路の構成の一例を示すブロック図である。

【図 2 0】 本発明の実施の形態 8 の復調回路の構成の一例を示すブロック図である。

【図 2 1】 本発明の実施の形態 9 の復調回路の構成の一例を示すブロック図である。

【図 2 2】 本発明の実施の形態 1 0 の復調回路の構成の一例を示すブロック図である。

【図 2 3】 本発明の実施の形態 1 0 の復調回路の構成の別の一例を示すブロック図である。

【図 2 4】 本発明の実施の形態 1 0 の復調回路の構成のさらに別の一例を示すブロック図である。

【図 2 5】 本発明の実施の形態 1 0 の復調回路の構成のまた別の一例を示すブロック図である。

【図 2 6】 本発明の実施の形態 1 0 の復調回路の構成のさらにまた別の一例を示すブロック図である。

【図 2 7】 本発明の実施の形態 1 1 の復調回路の構成の一例を示すブロック図である。

【図 2 8】 本発明の実施の形態 1 1 の復調回路の構成の別の一例を示すブロック図である。

【図 2 9】 本発明の実施の形態 1 2 の復調回路の構成の一例を示すブロック図である。

【図 3 0】 本発明の実施の形態 1 2 の復調回路の構成の別の一例を示すブロック図である。

【図 3 1】 本発明の実施の形態 1 2 の復調回路の構成のさらに別の一例を示すブロック図である。

【図 3 2】 本発明の実施の形態 1 3 の復調回路の構成の一例を示すブロック図である。

【図 3 3】 本発明の実施の形態 1 3 の復調回路の構成の別の一例を示すブロック図である。

【図 3 4】 本発明の実施の形態 1 3 の復調回路で論理状態保持部を入力部と正帰還保持部とに分離した構成の一例を示すブロック図である。

【図 3 5】 図 3 4 の論理状態保持部の回路構成の一例を示す回路図である。

【図 3 6】 本発明の実施の形態 1 4 の復調回路の構成の一例を示すブロック図である。

【図 3 7】 本発明の実施の形態 1 4 の復調回路の構成の別の一例を示すブロック図である。

【図 3 8】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成の一例を示す回路図である。

【図 3 9】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成の一例を示す回路図である。

【図 4 0】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成の別の一例を示す回路図である。

【図 4 1】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成の別の一例を示す回路図である。

【図 4 2】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成のさらに別の一例を示す回路図である。

【図 4 3】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコンパレータ部の構成のさらに別の一例を示す回路図である。

【図 4 4】 本発明の実施の形態 1 5 の復調回路におけるヒステリシスコン

パレータ部の構成のさらに別の一例を示す回路図である。

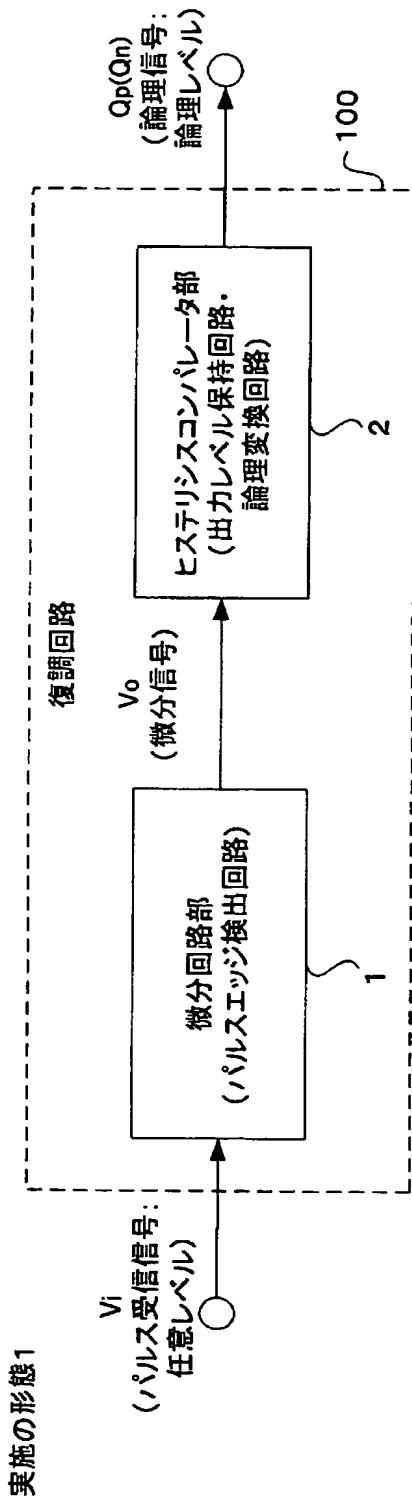
【符号の説明】

1、1 a ～ 1 p、3、4 a ～ 4 c、5 a ～ 5 c 微分回路部、 2、2 a ～ 2 z ヒステリシスコンパレータ部、 6 a ～ 6 c 論理状態保持部、 7 a 受光素子（P D）、 7 b 前置増幅器、 7 c 多段増幅器、 1 0、2 0 コンパレータ素子、 3 0 逆相出力アンプ、 4 0 差動アンプ、 5 0 差動信号化回路部、 6 0 低域通過フィルター（L P F）、 7 0 論理状態保持用差動、 1 0 0、1 0 0 a ～ 1 0 0 z 復調回路。

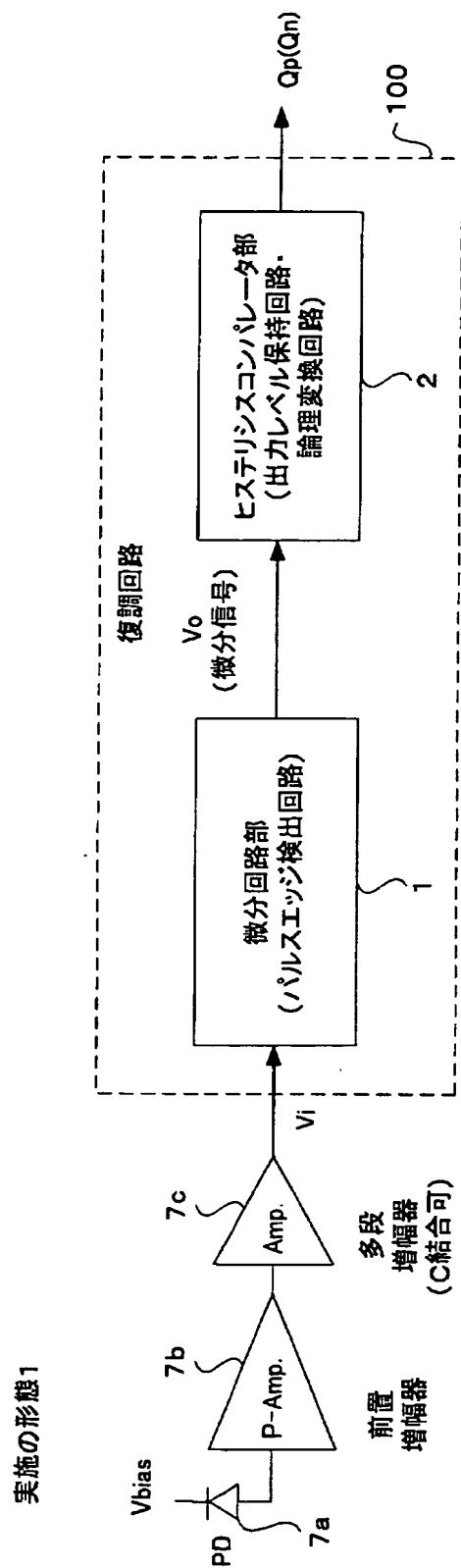
【書類名】

図面

【図 1】

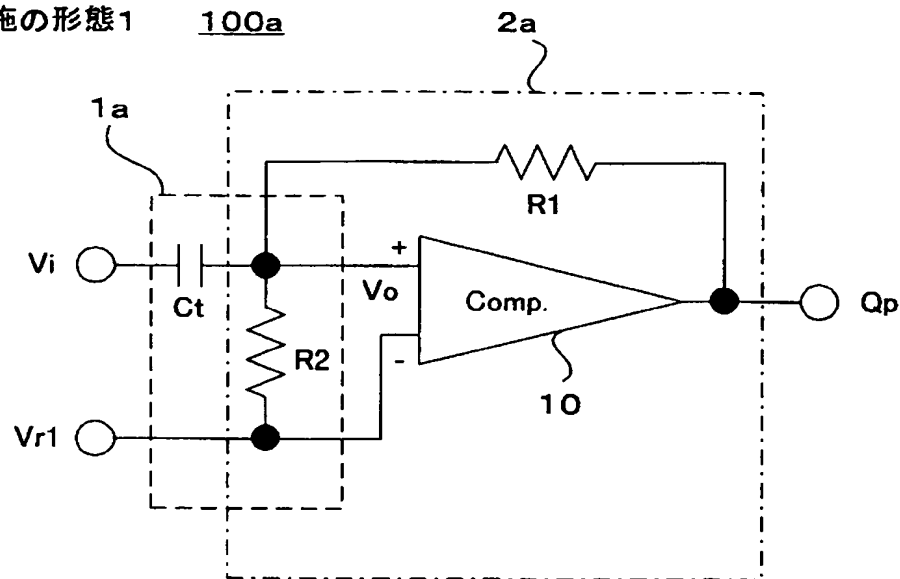


【図 2】

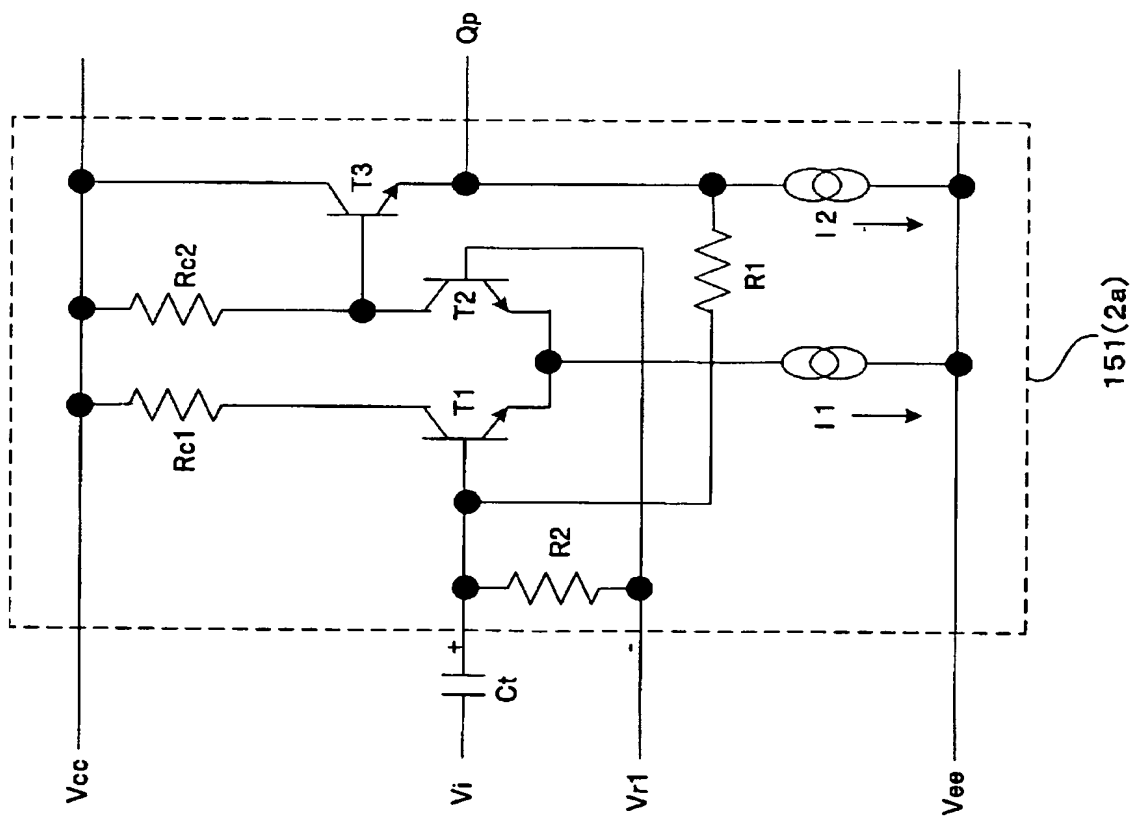


【図 3】

実施の形態1      100a



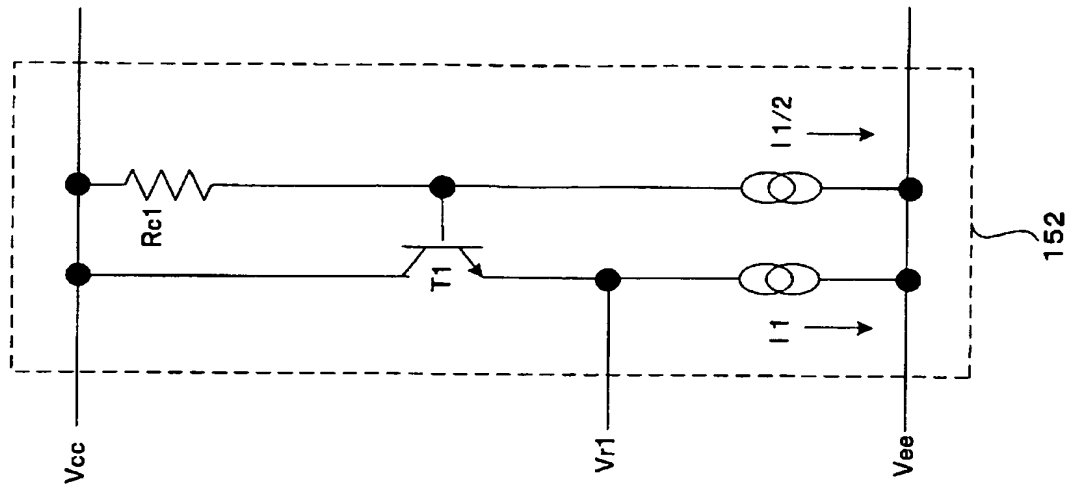
【圖 4】





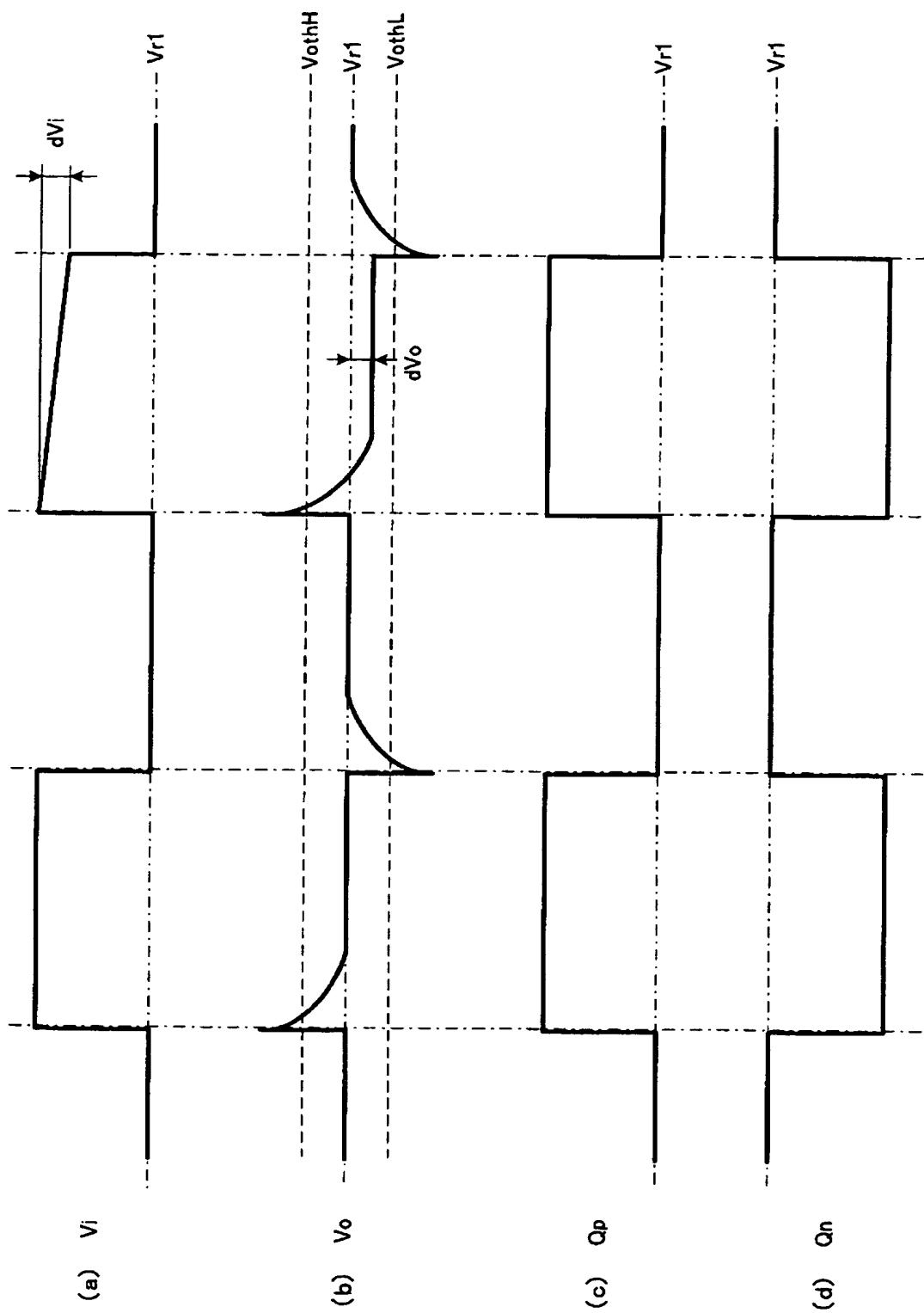
【図 5】

実施の形態1 Vr1発生回路



【図 6】

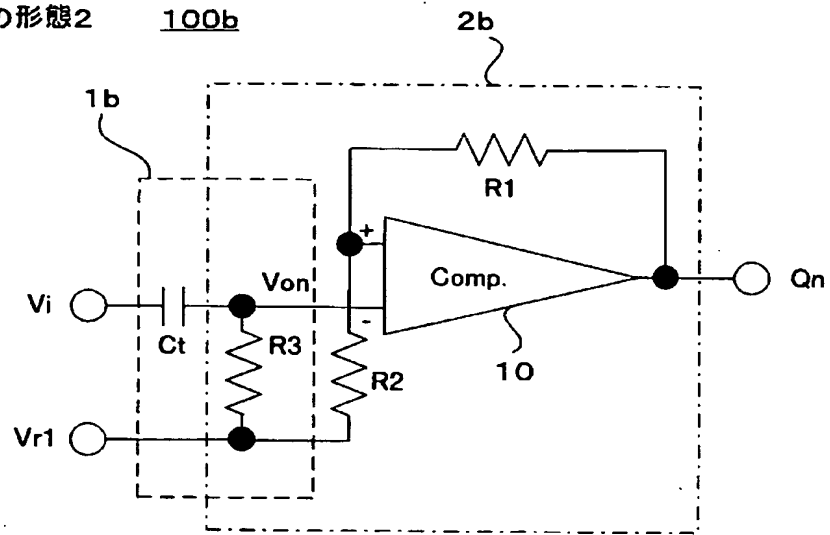
実施の形態 1—入出力波形図



【図 7】

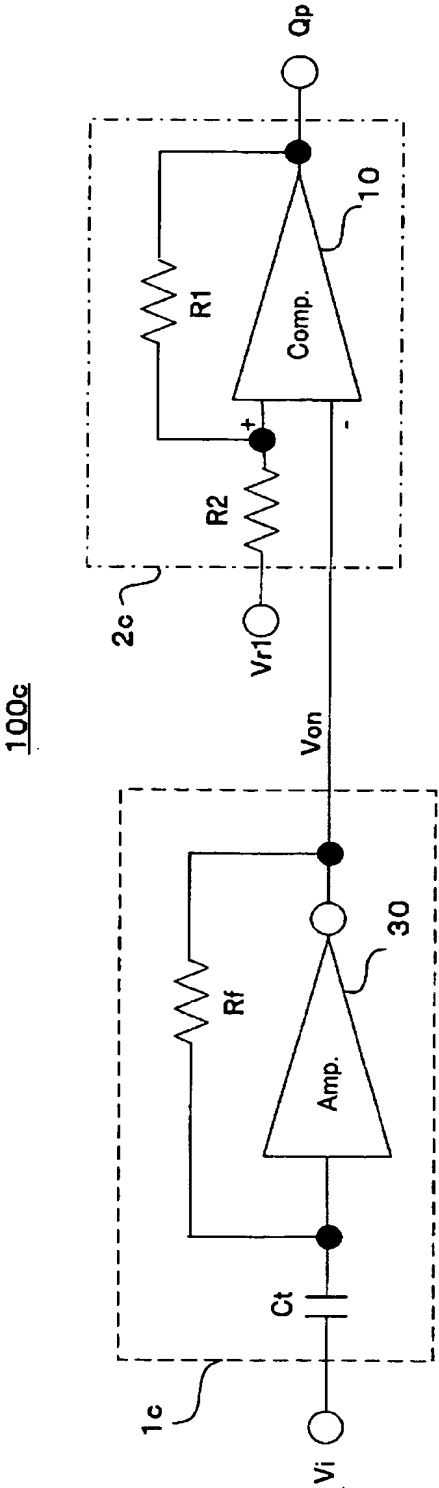
実施の形態2

100b



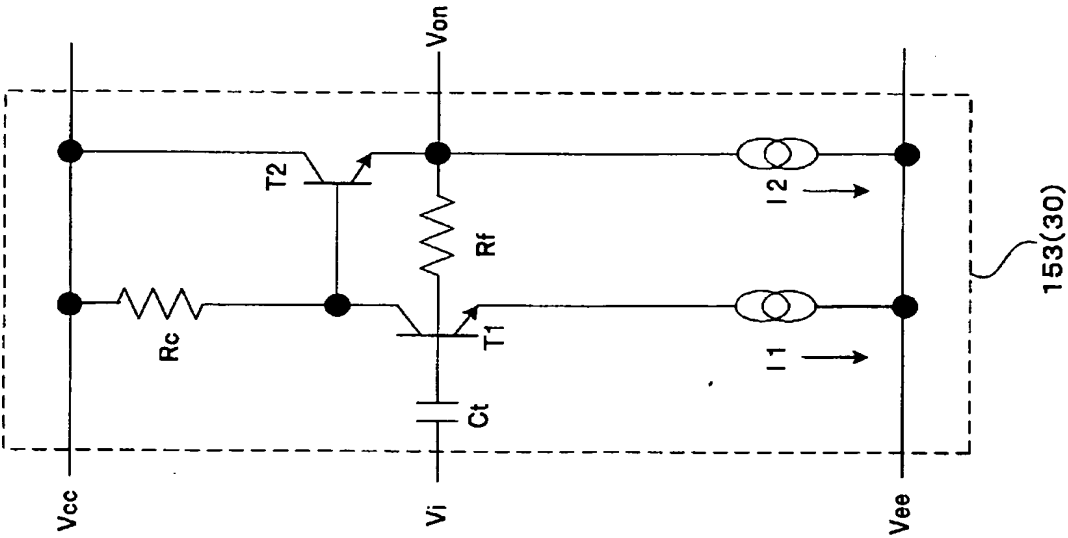
【図 8】

実施の形態3



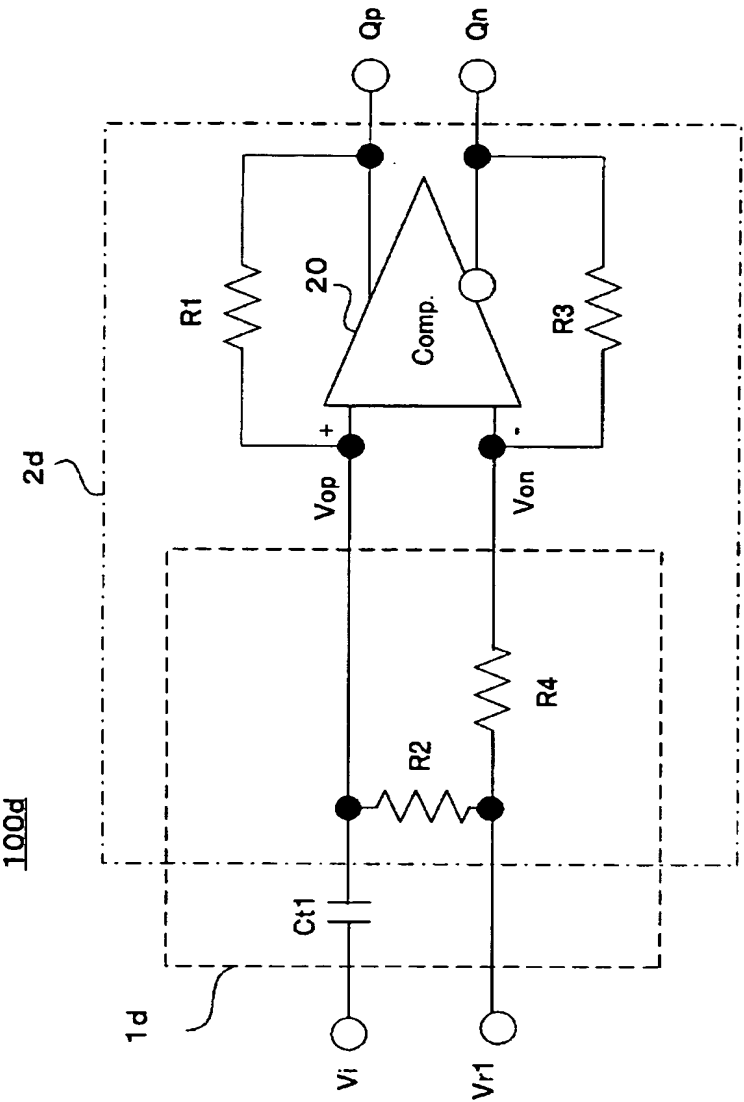
【図 9】

実施の形態3 逆相出力アンプ



【図 10】

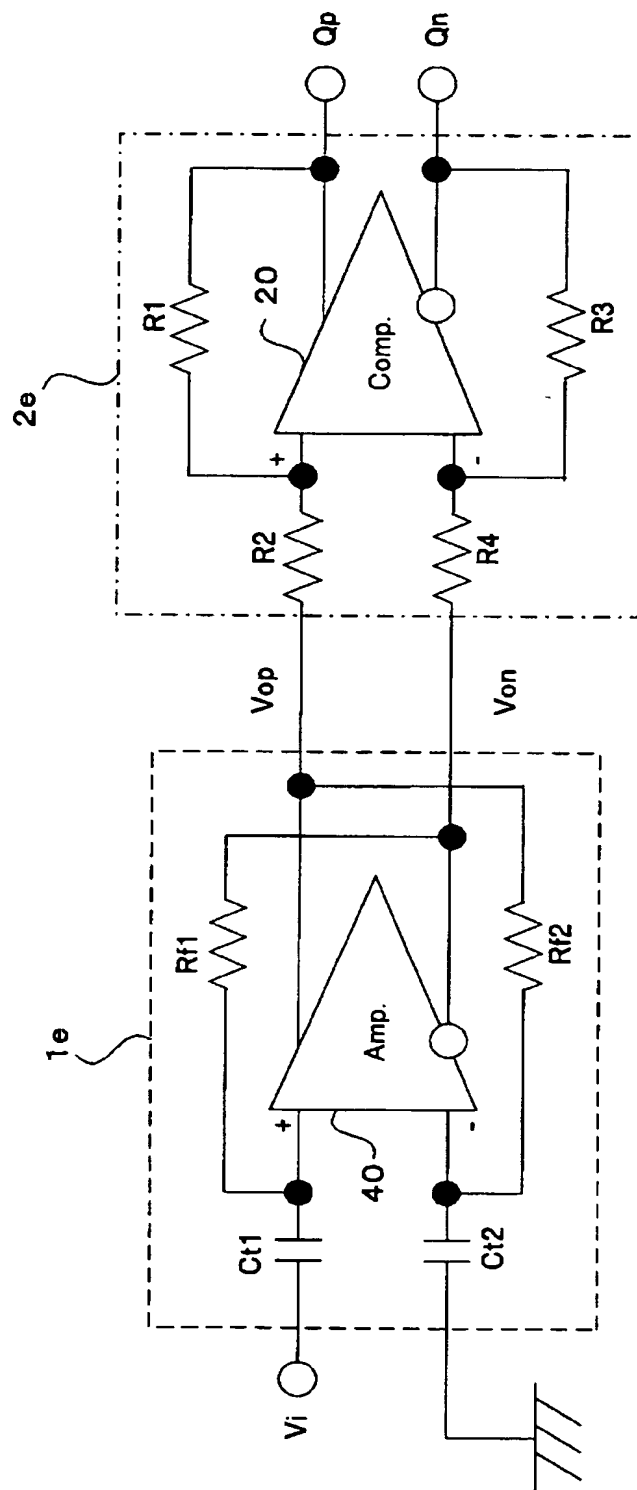
実施の形態4



【図 11】

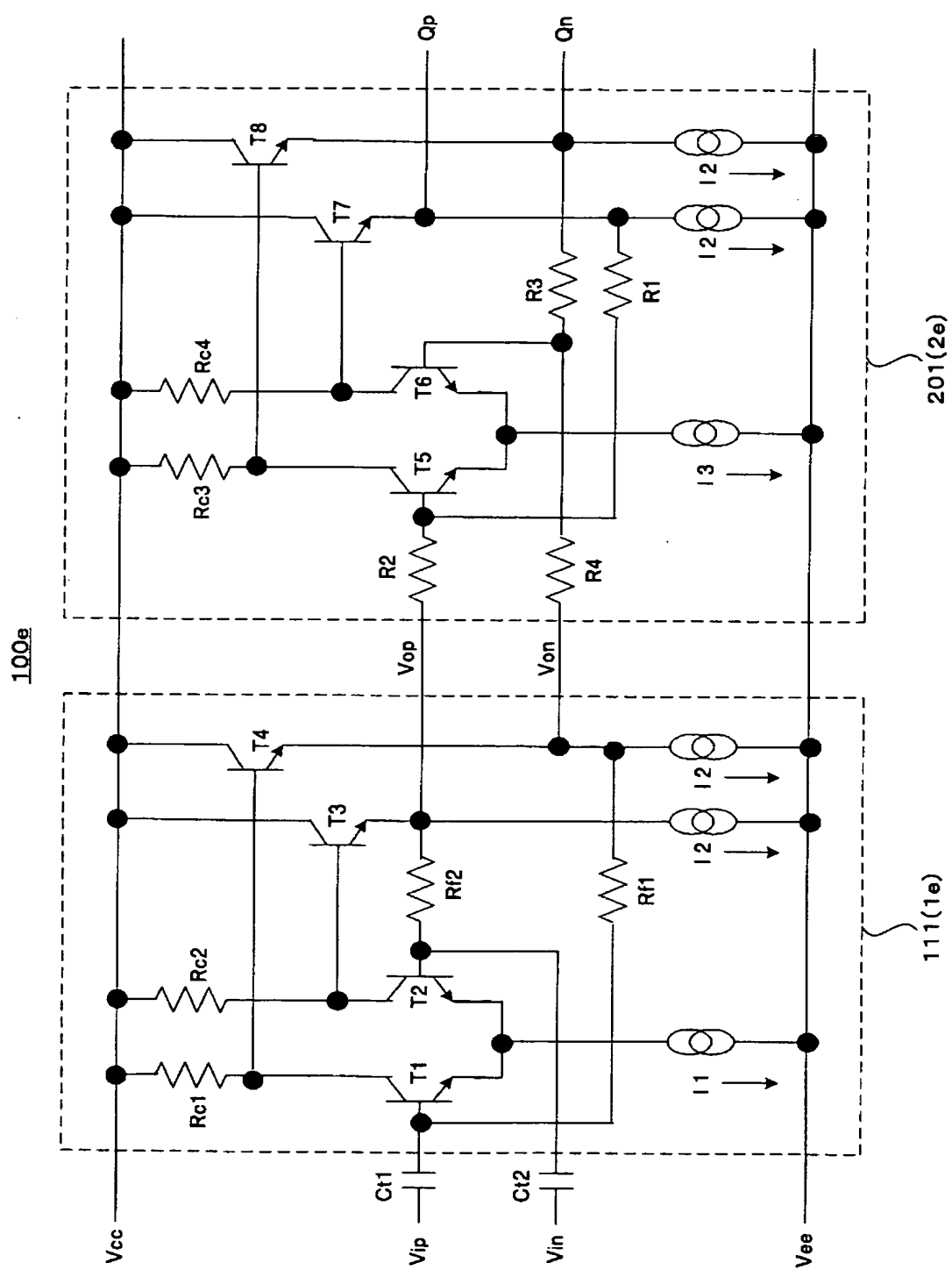
実施の形態5

100e



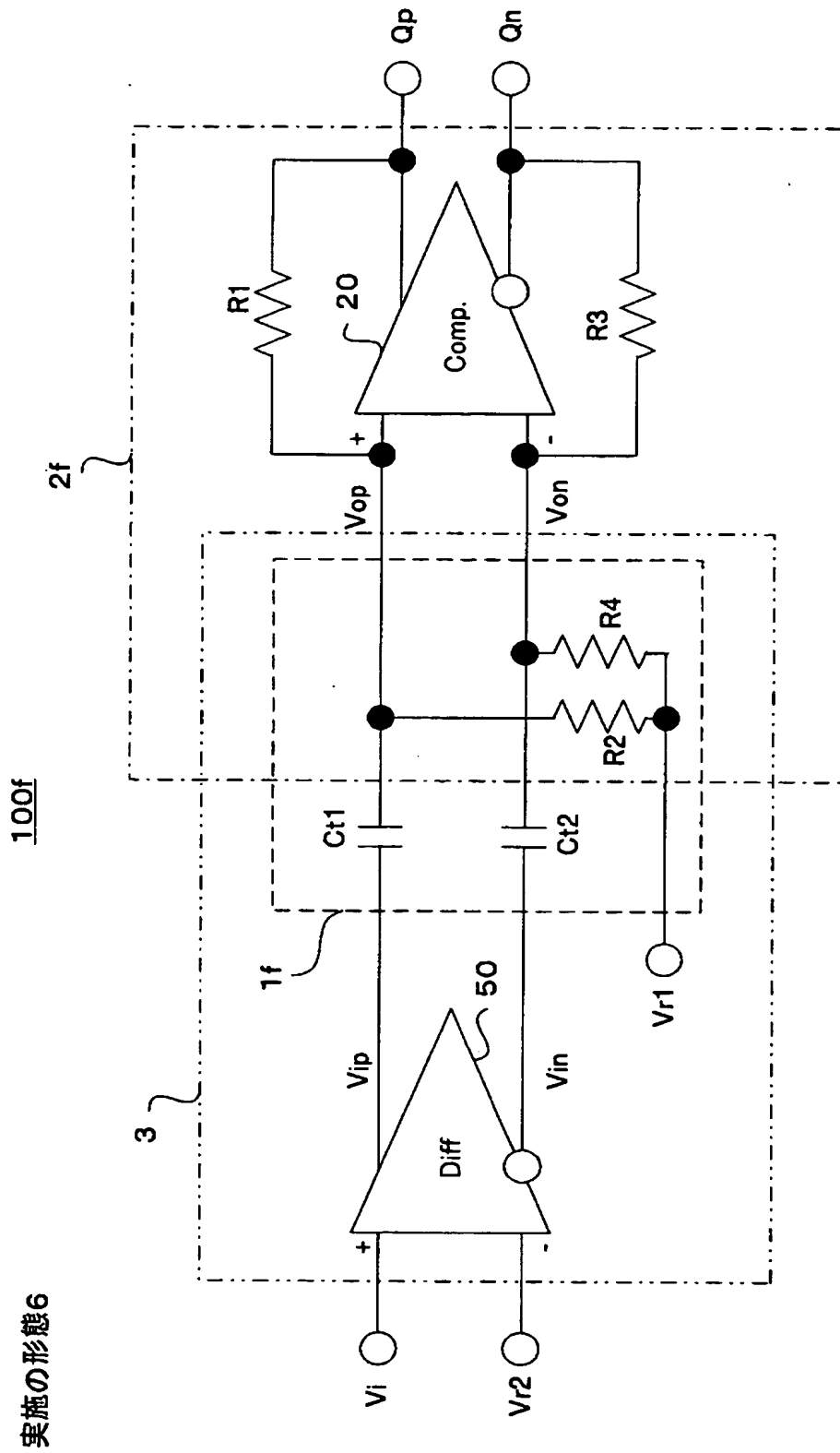
【図 12】

実施の形態5



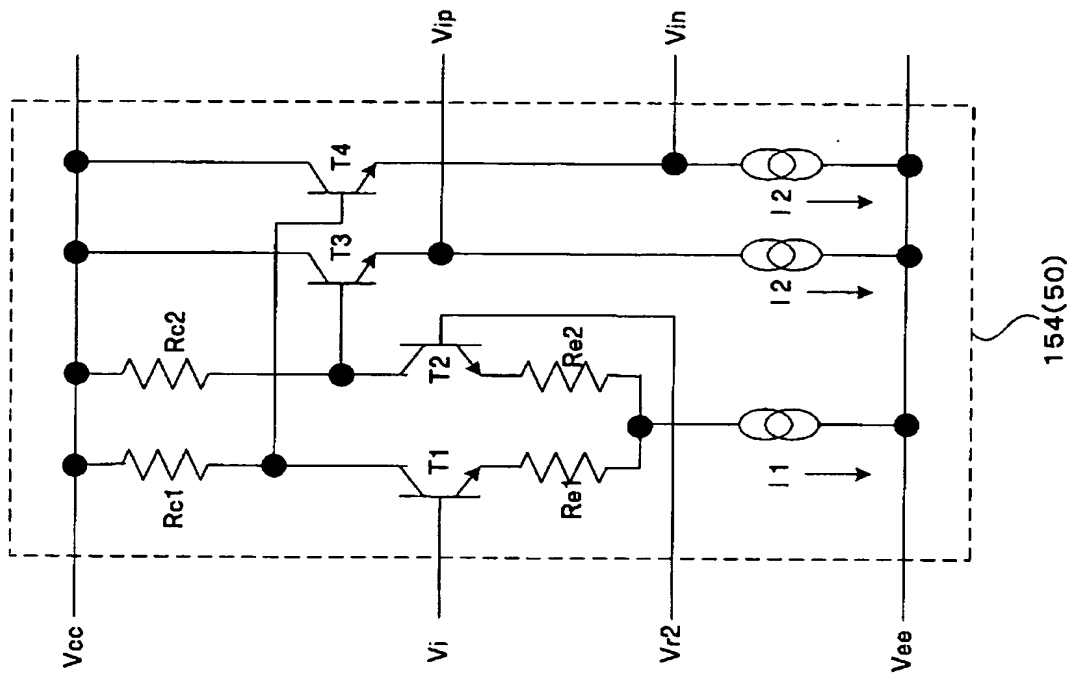


【図 13】

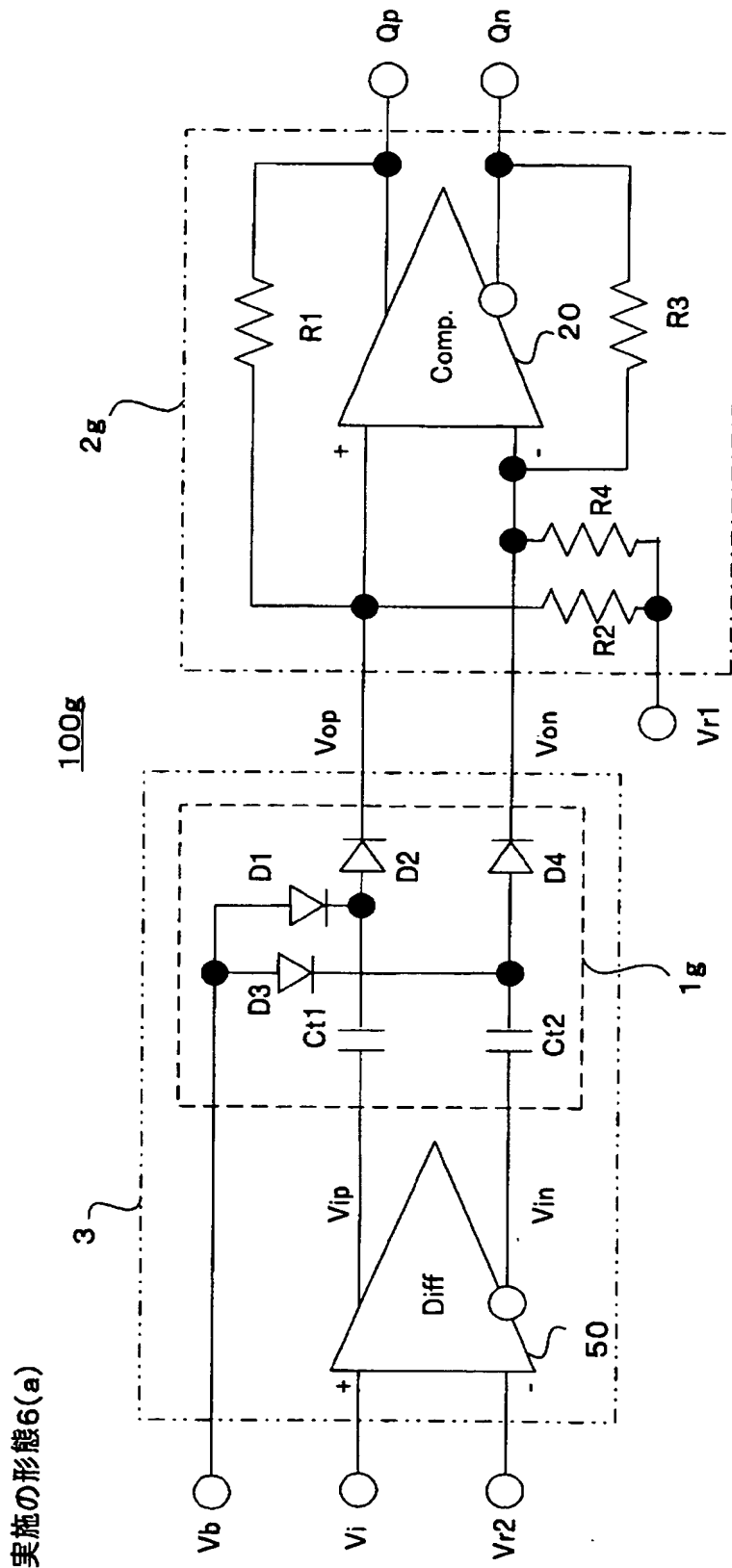


【図 14】

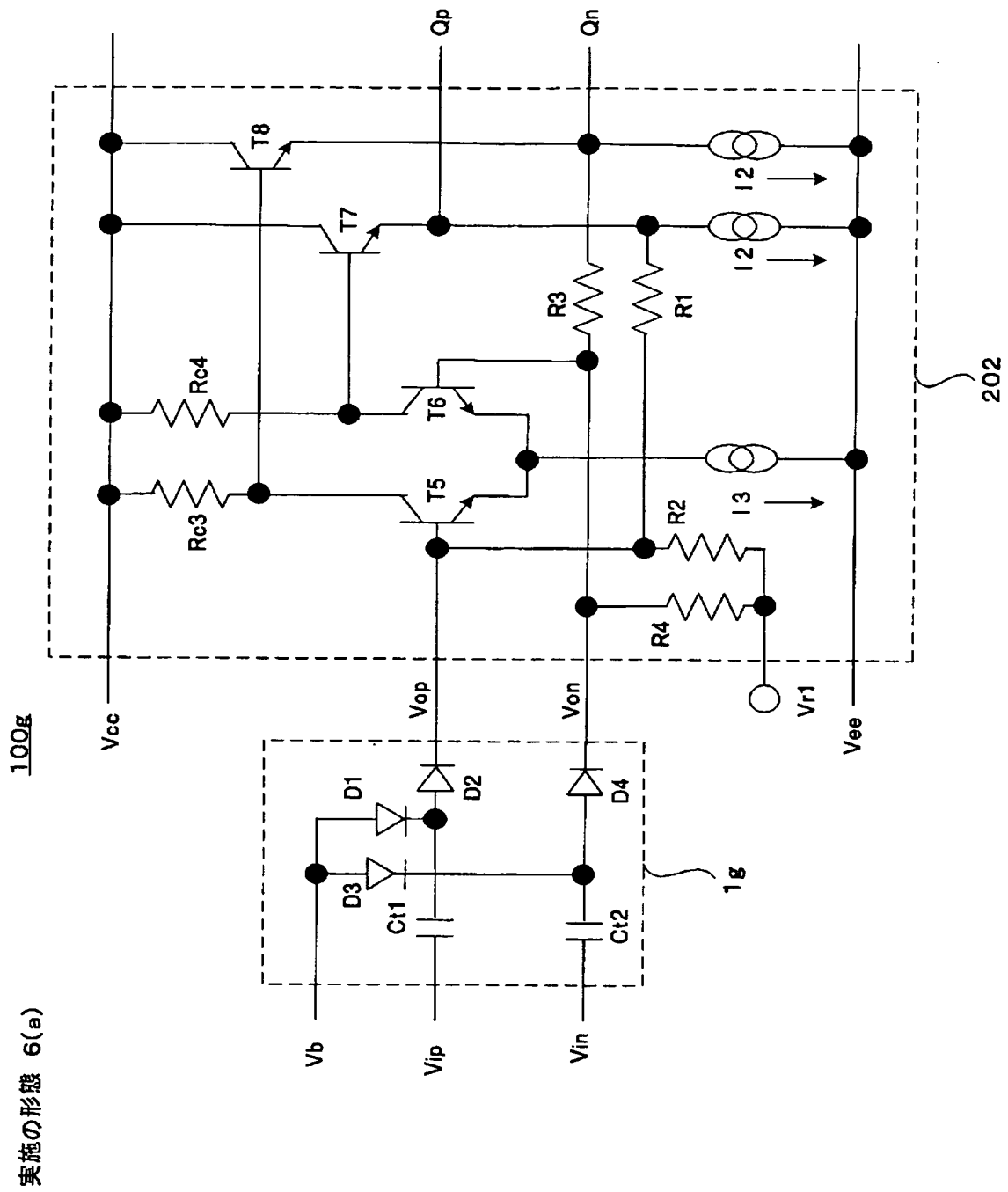
実施の形態6 差動信号化回路部



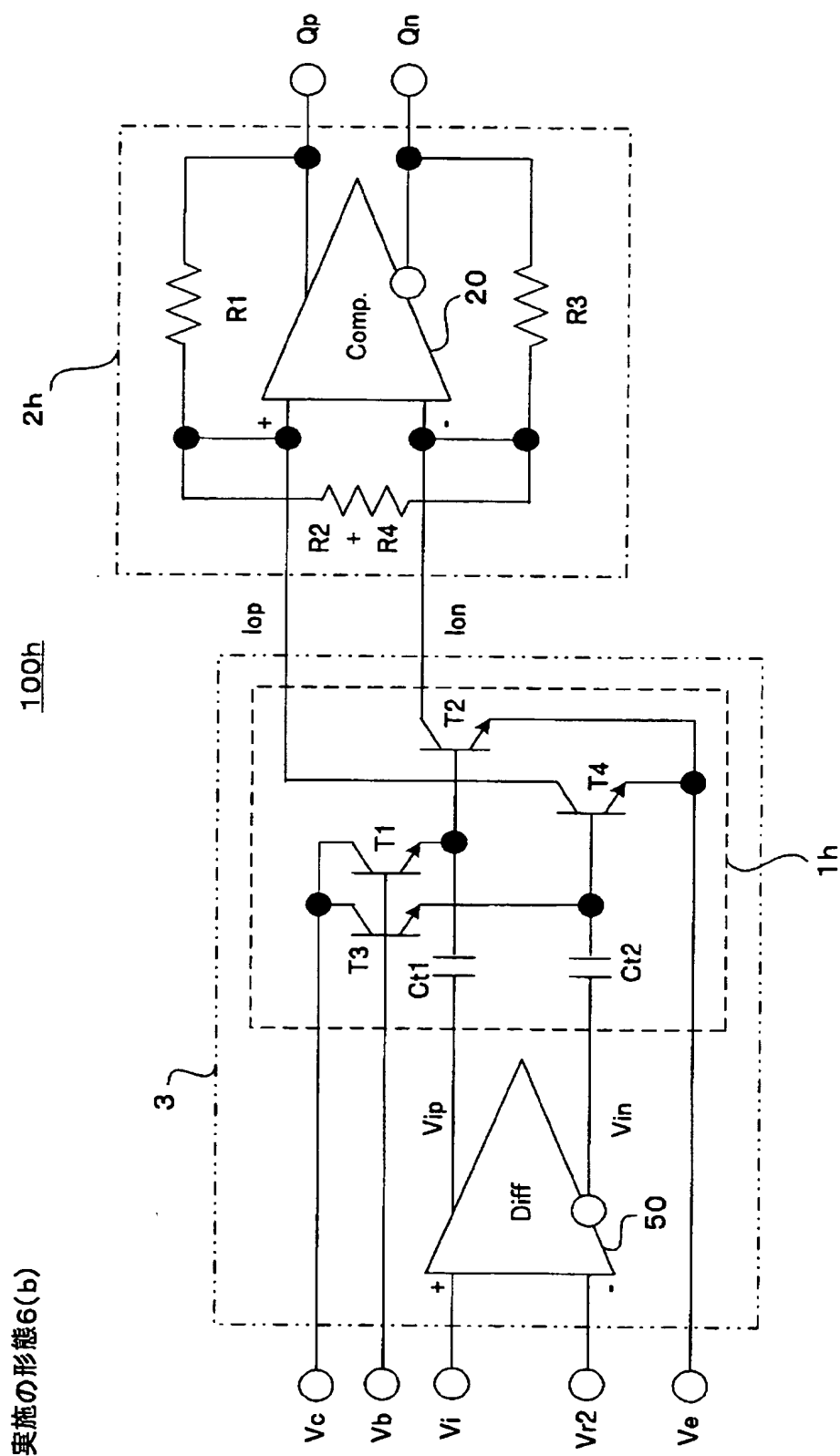
【図 15】



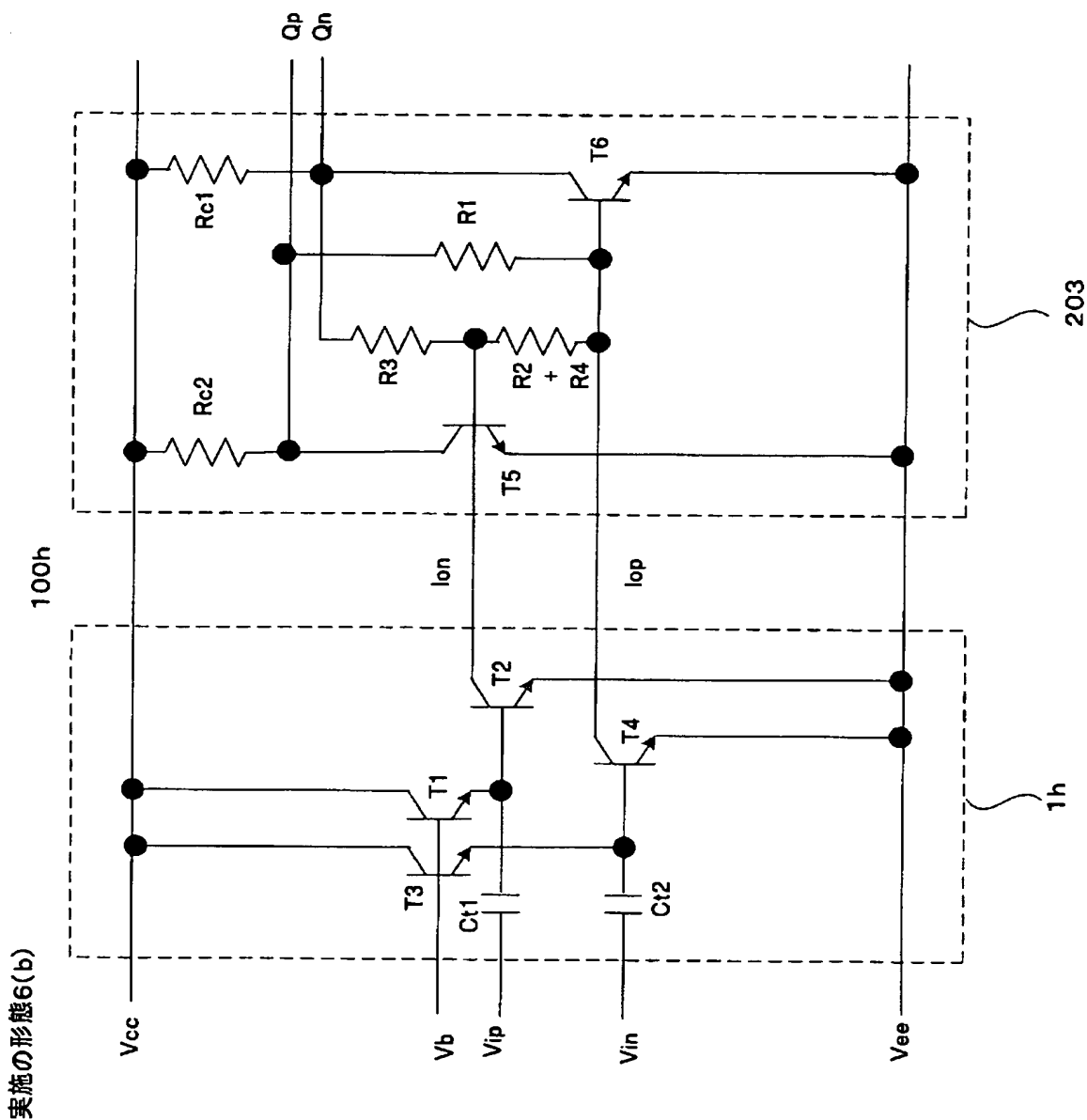
【図 16】



【図 17】

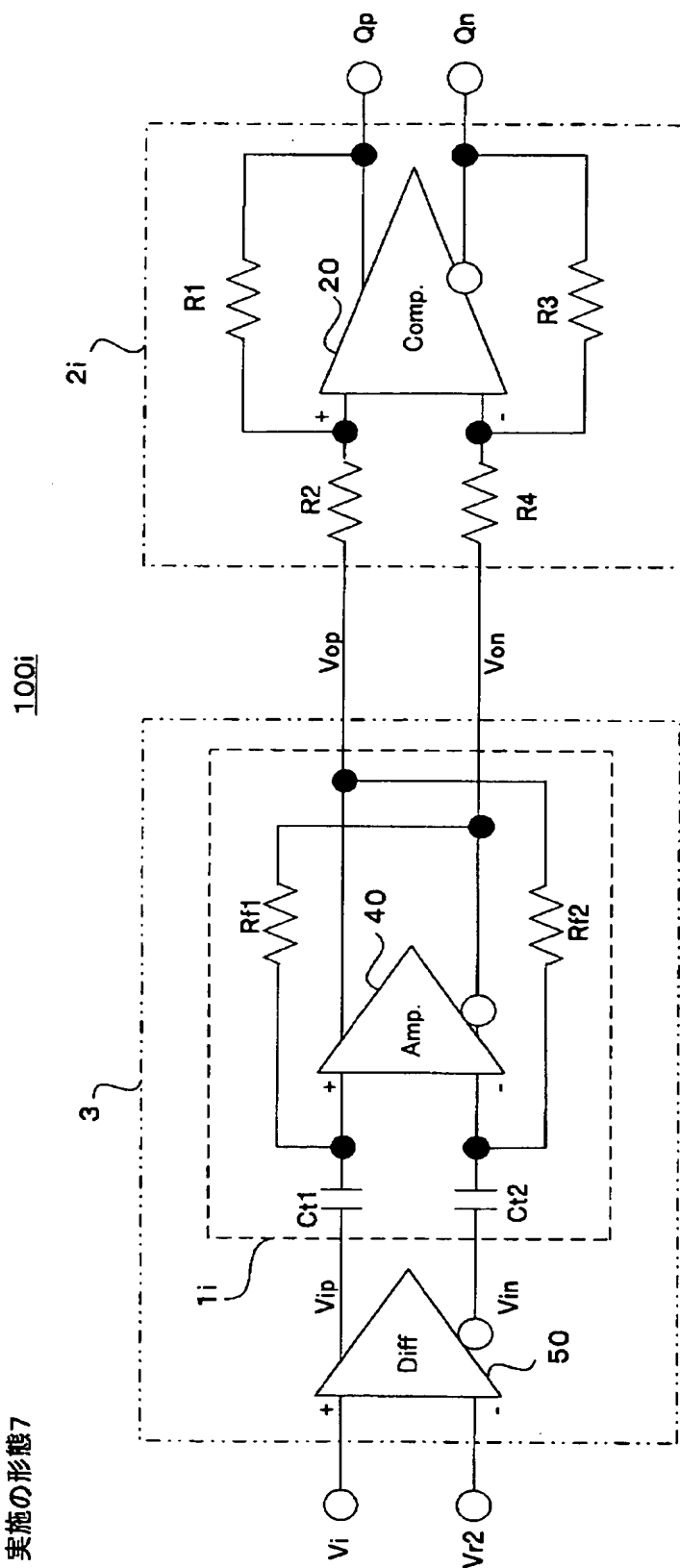


【図 18】

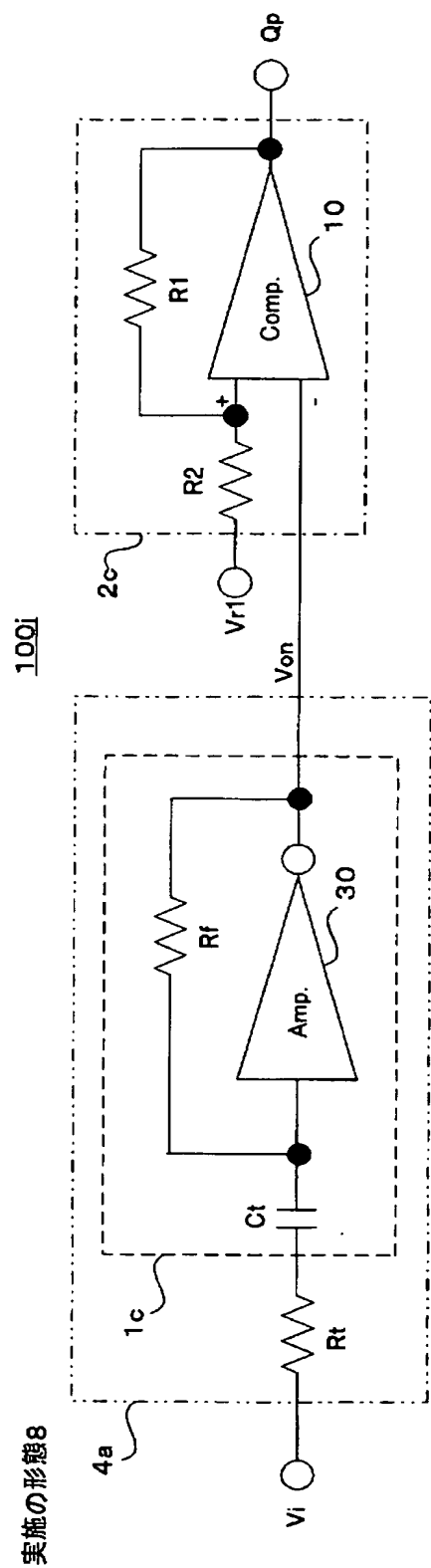


【図 19】

実施の形態 7

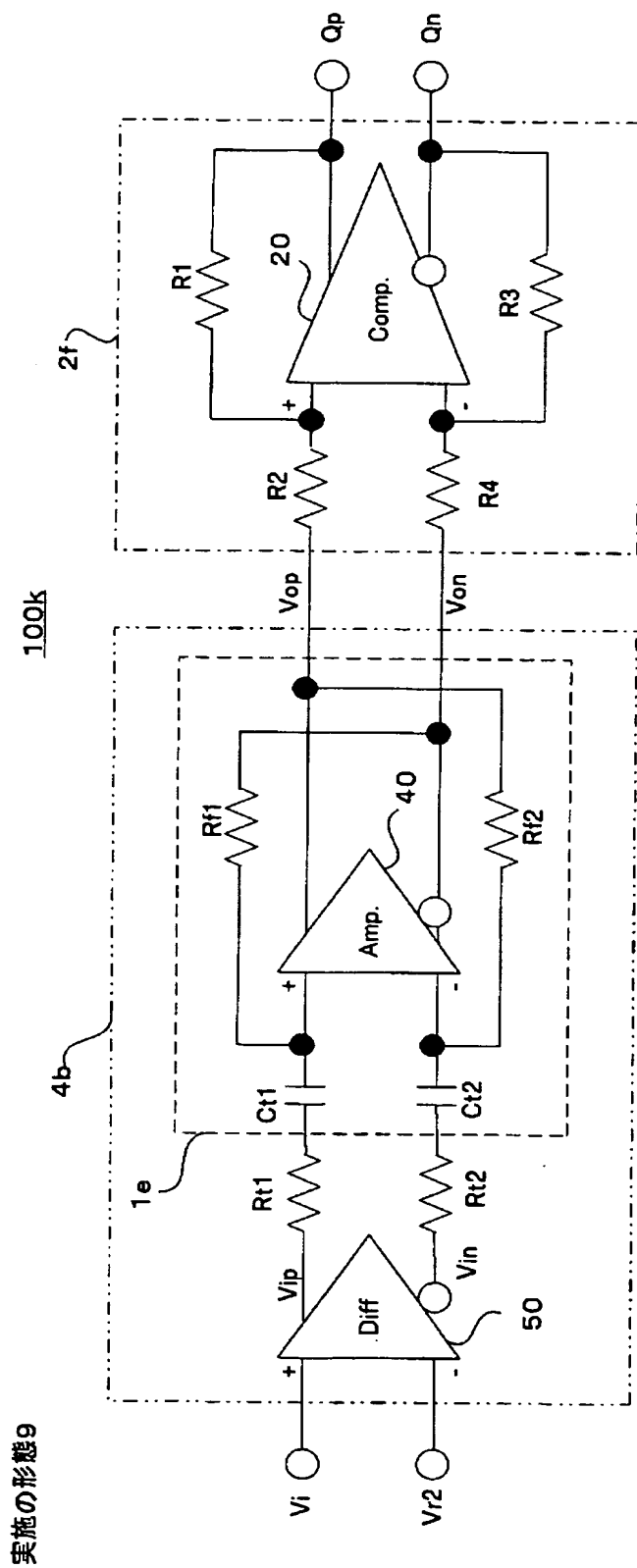


【図 20】



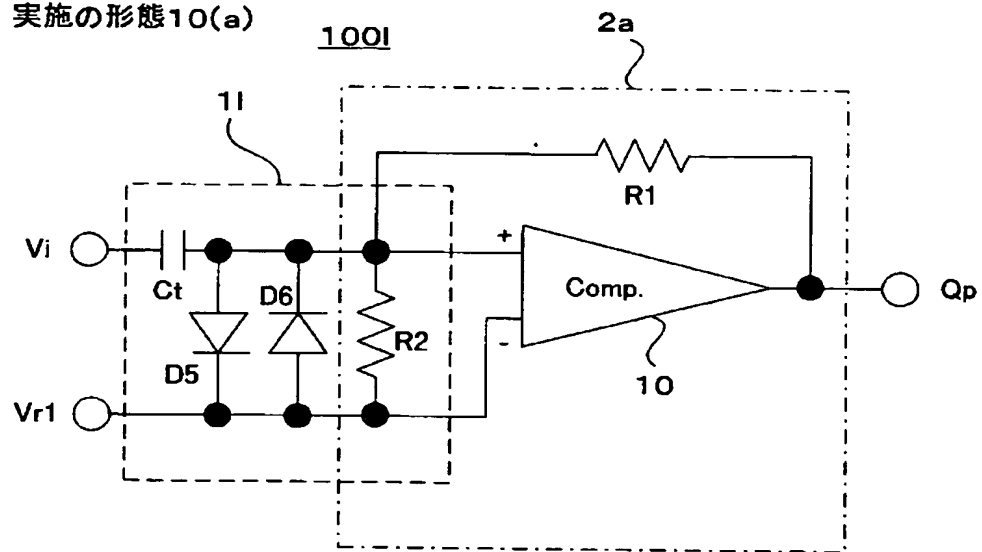


【図 21】

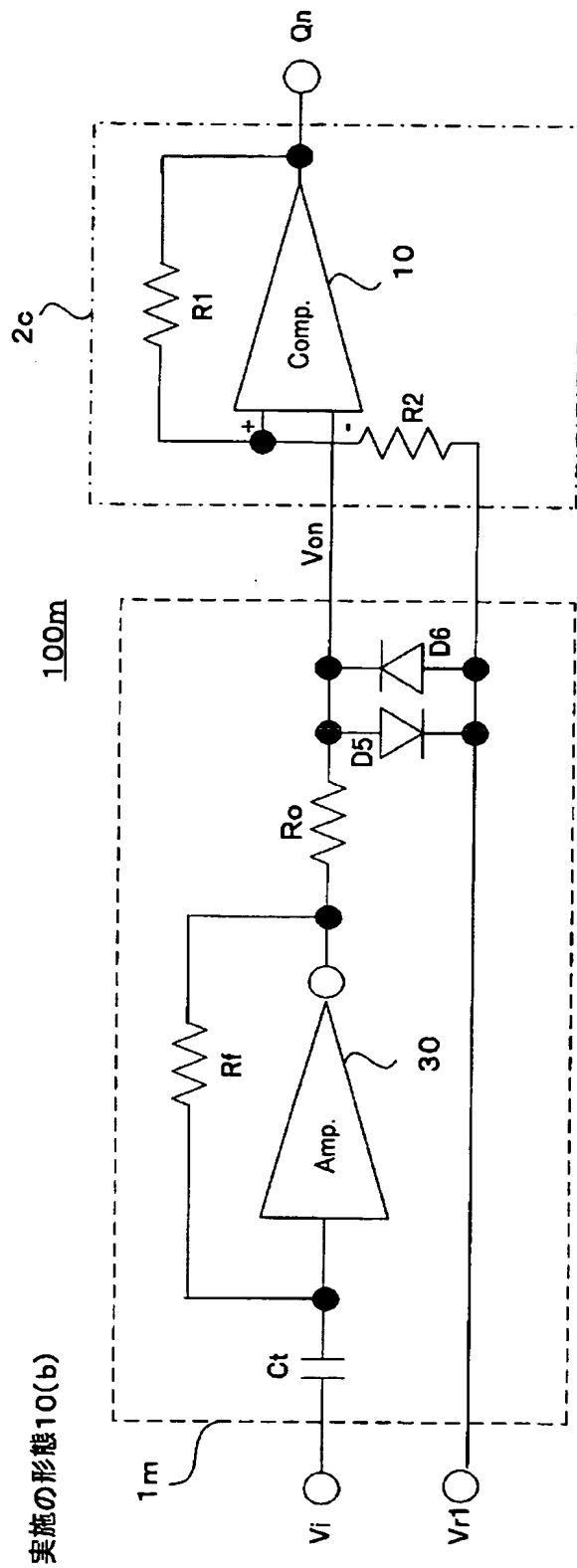


【図 2 2】

### 実施の形態10(a)

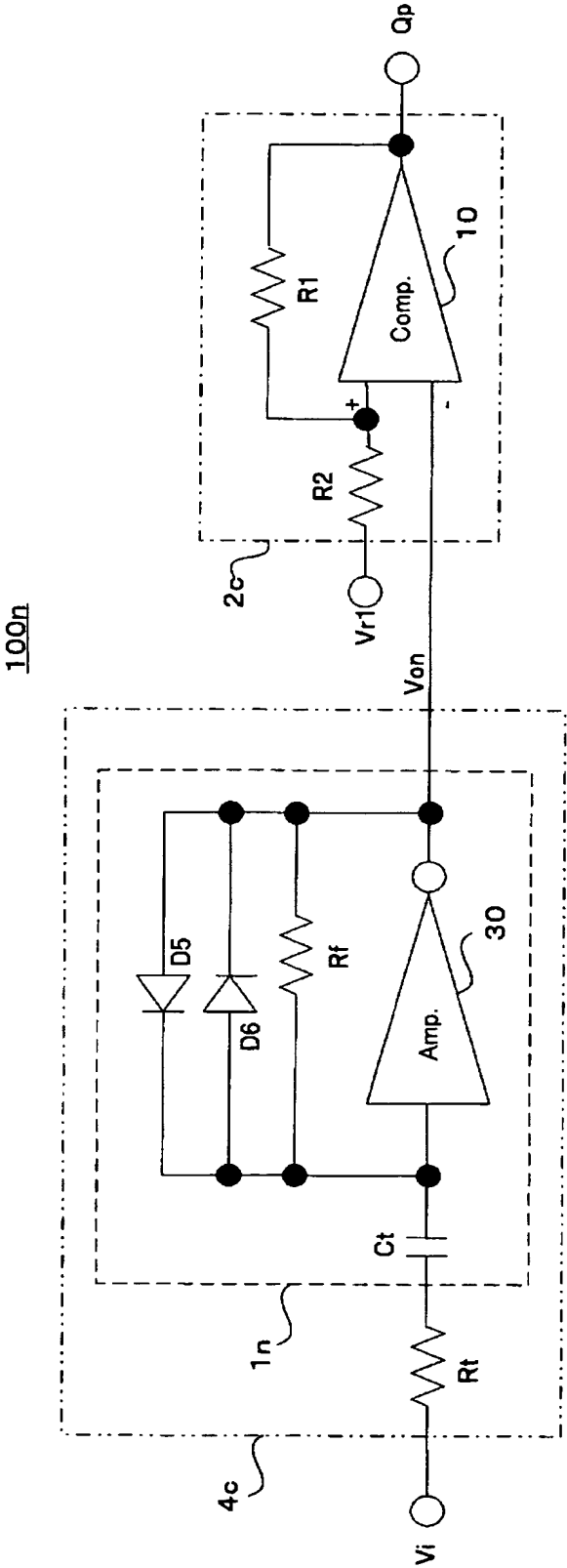


【図 23】



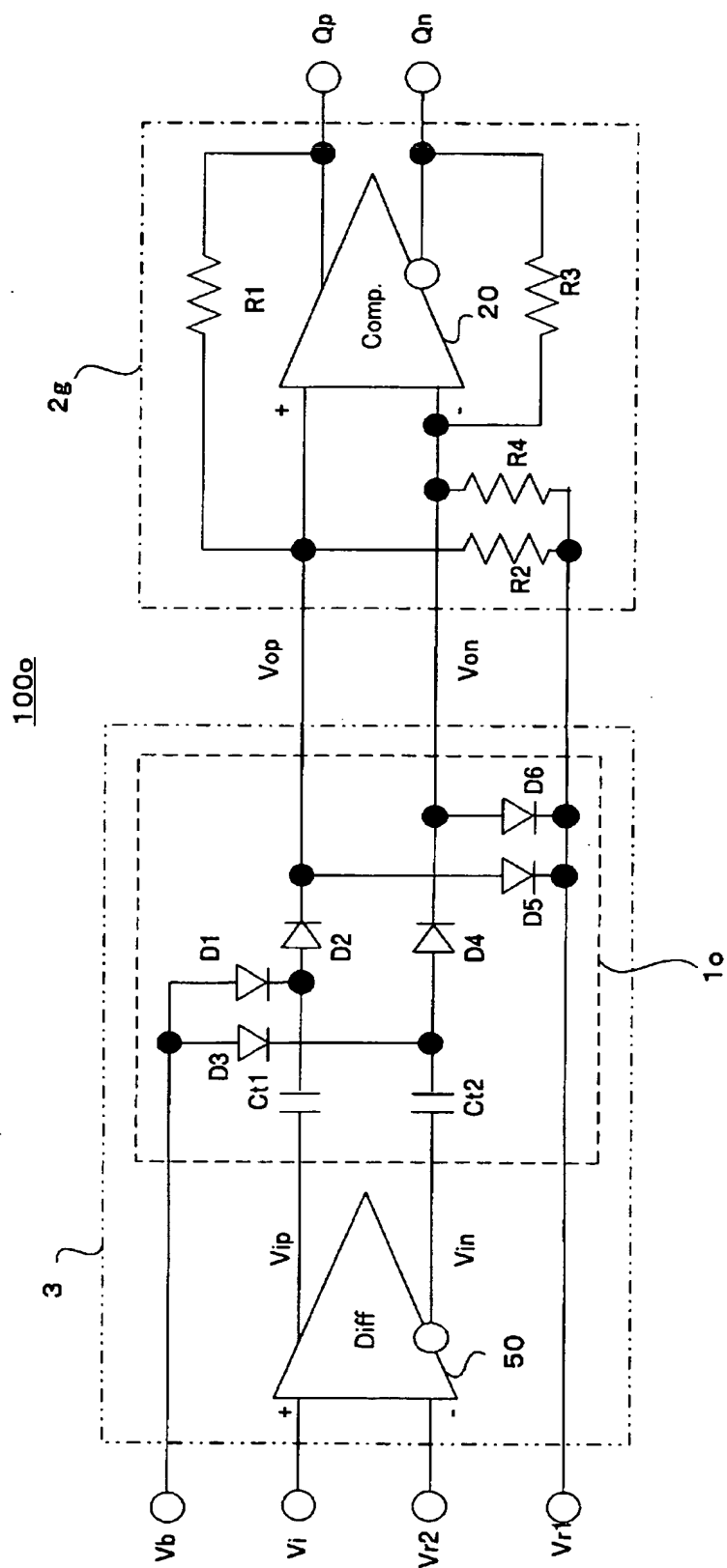
【図 24】

実施の形態10(c)

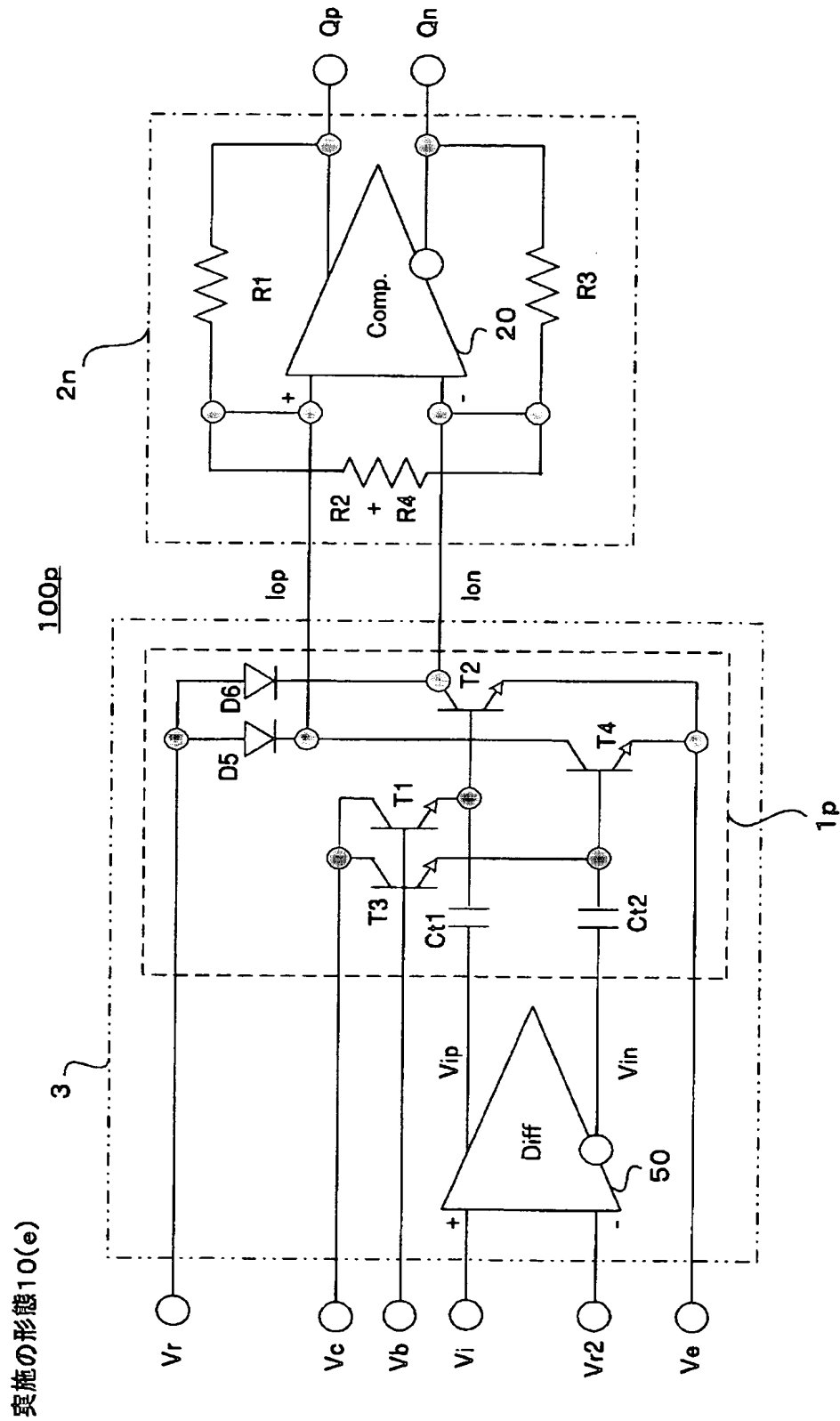


【図 25】

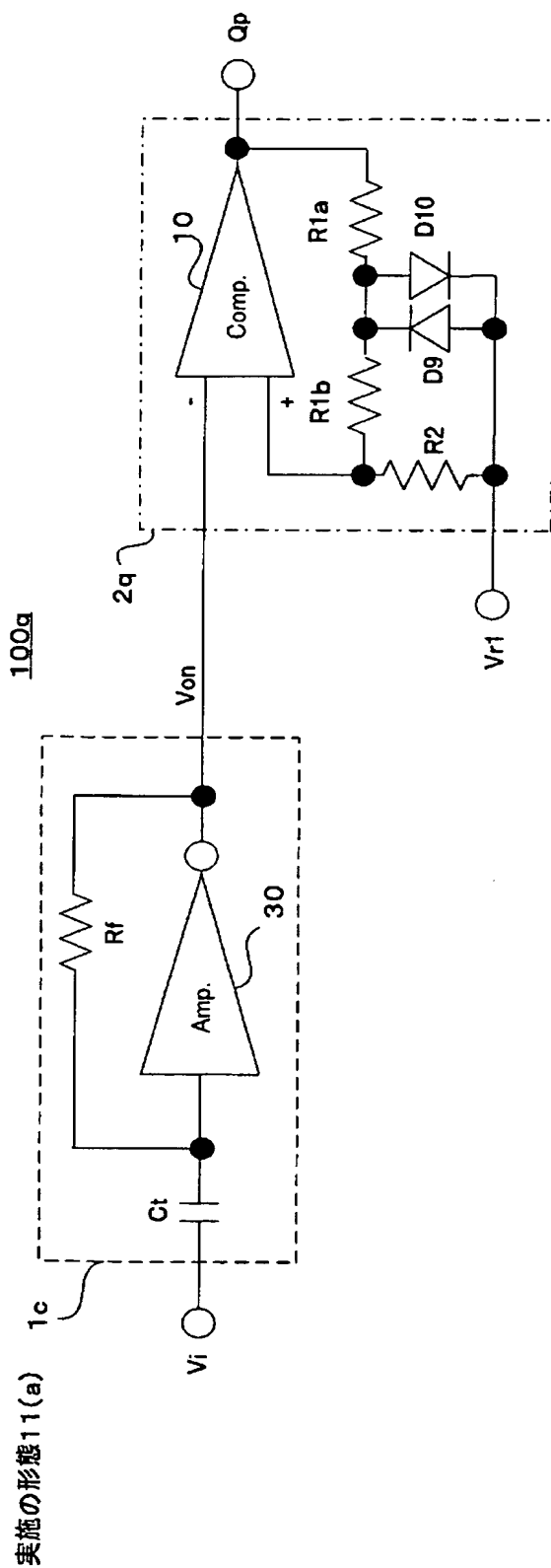
実施の形態10(d)



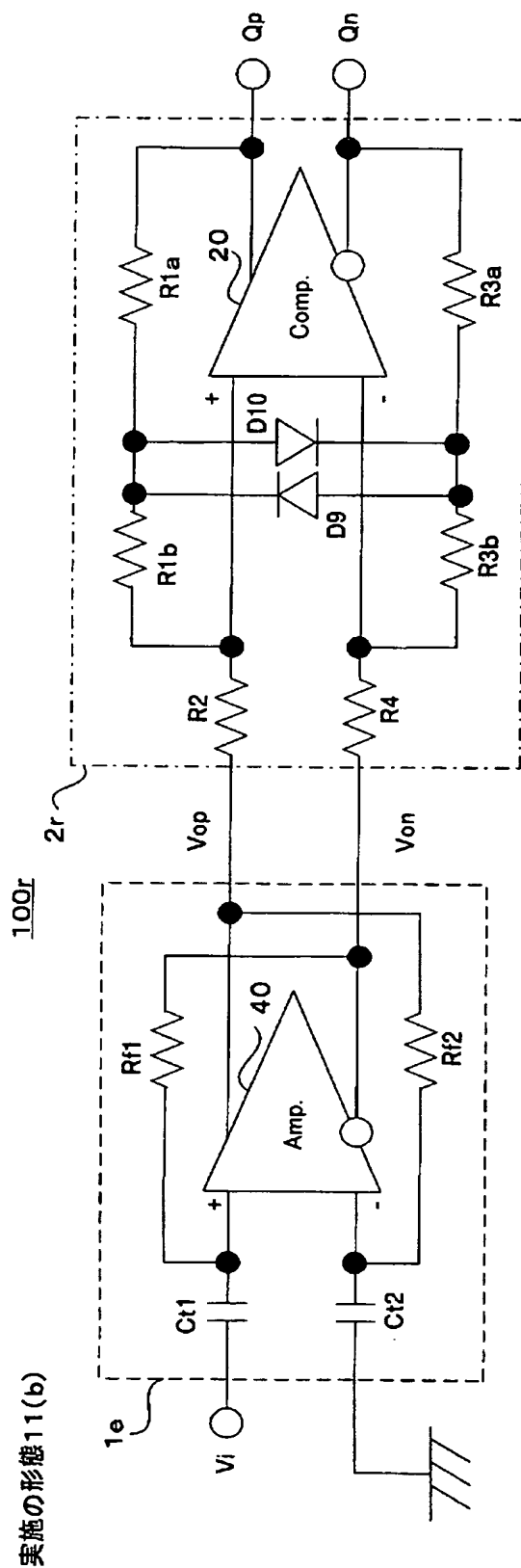
【図 26】



【図 27】



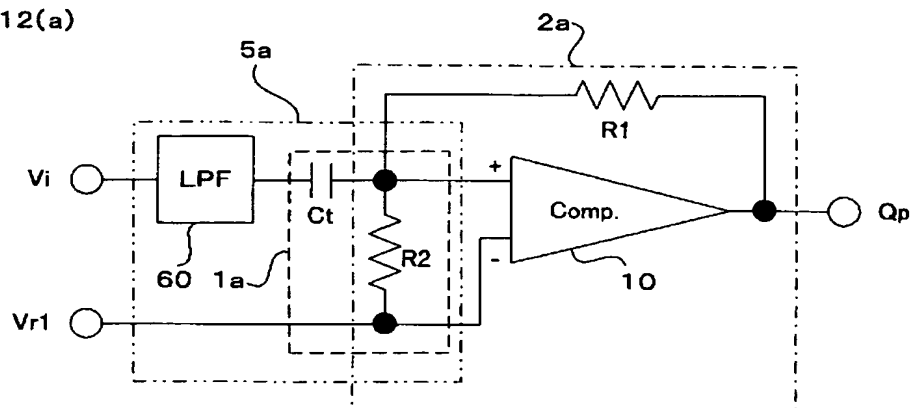
【図 28】



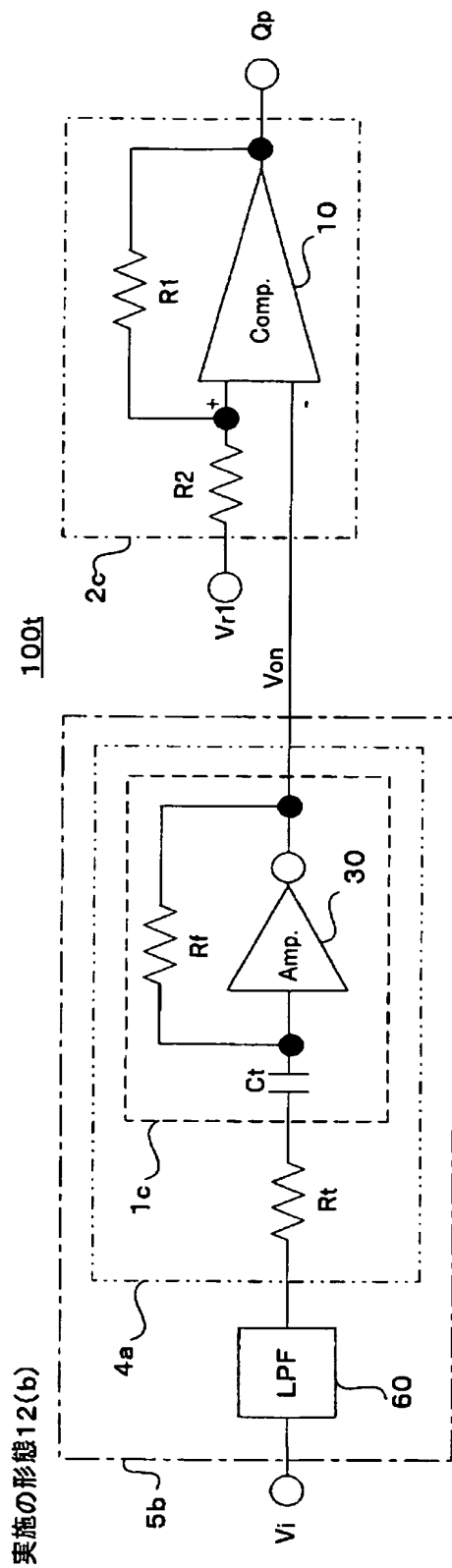


【図 29】

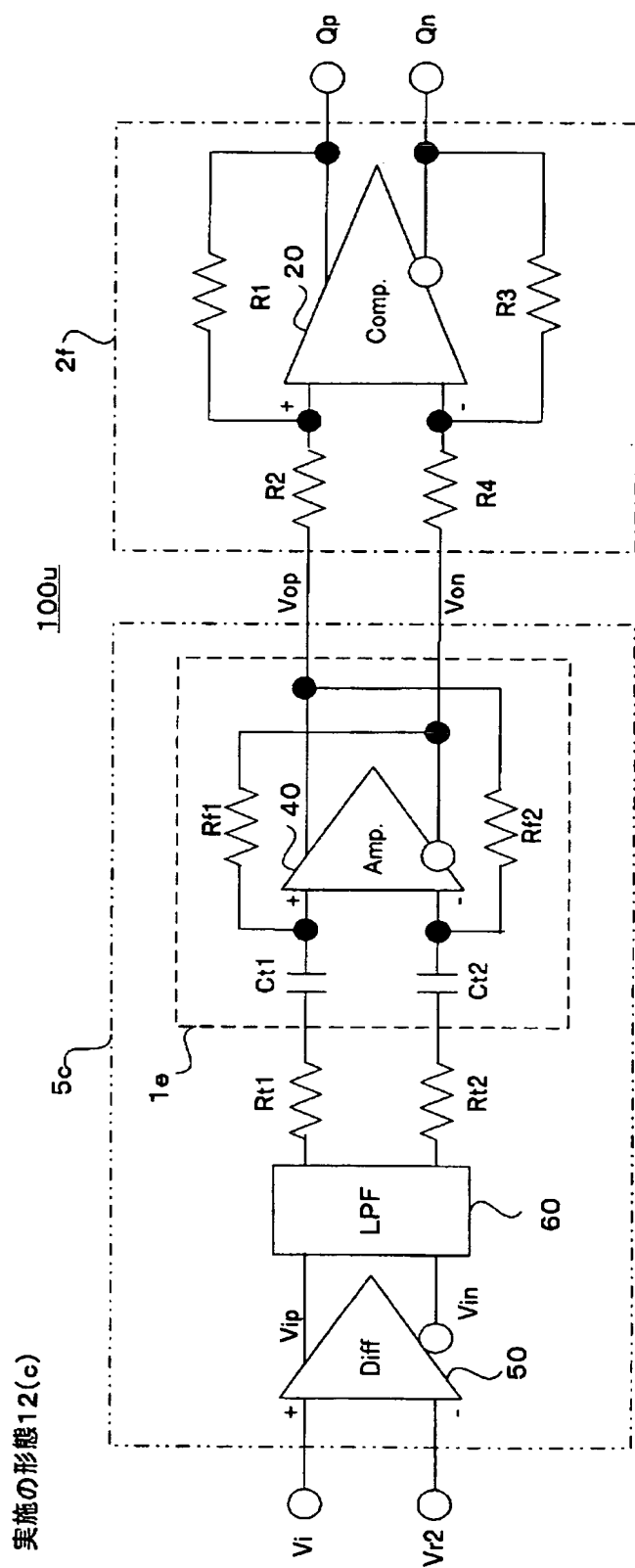
実施の形態12(a)



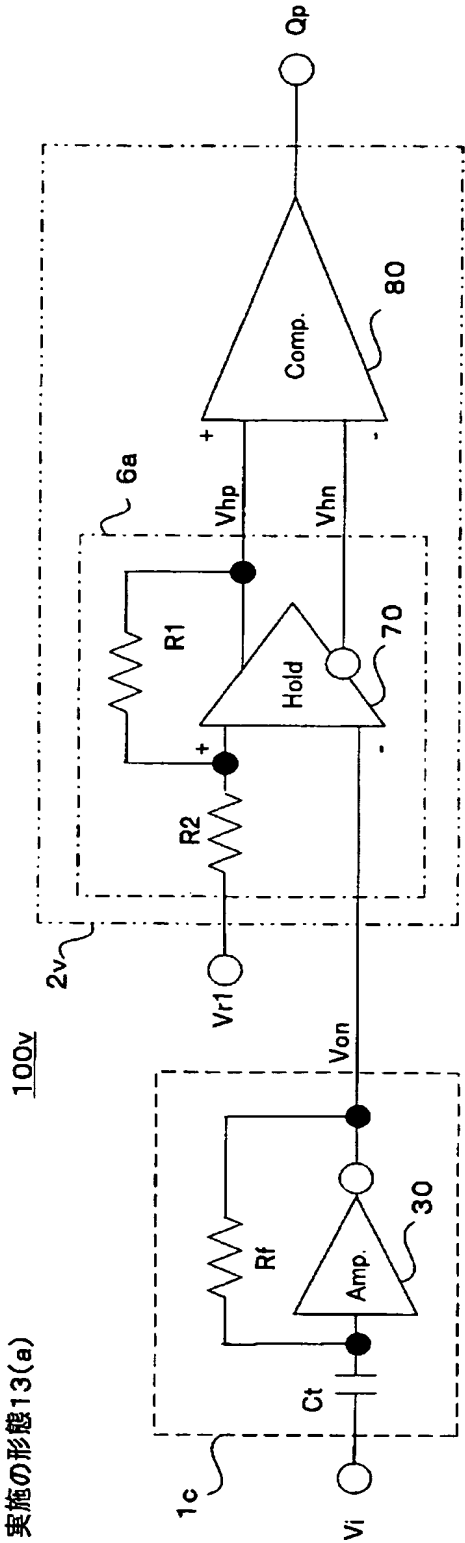
【図 30】



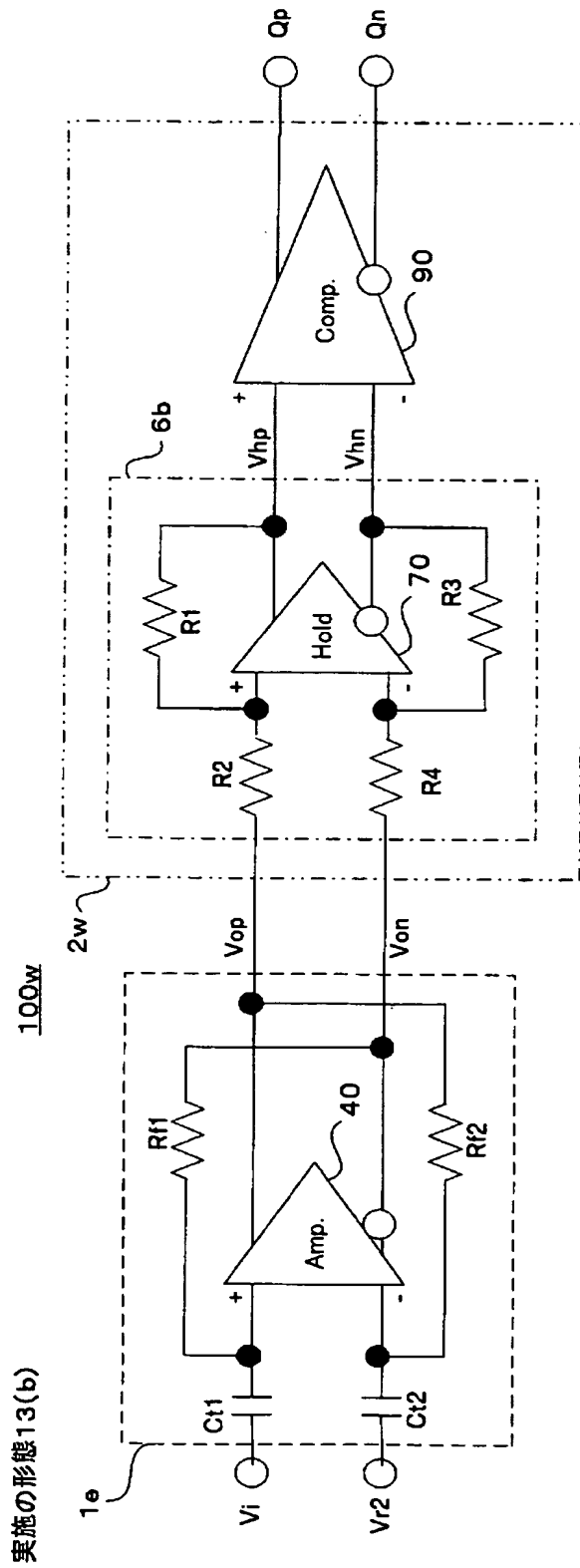
【図 31】



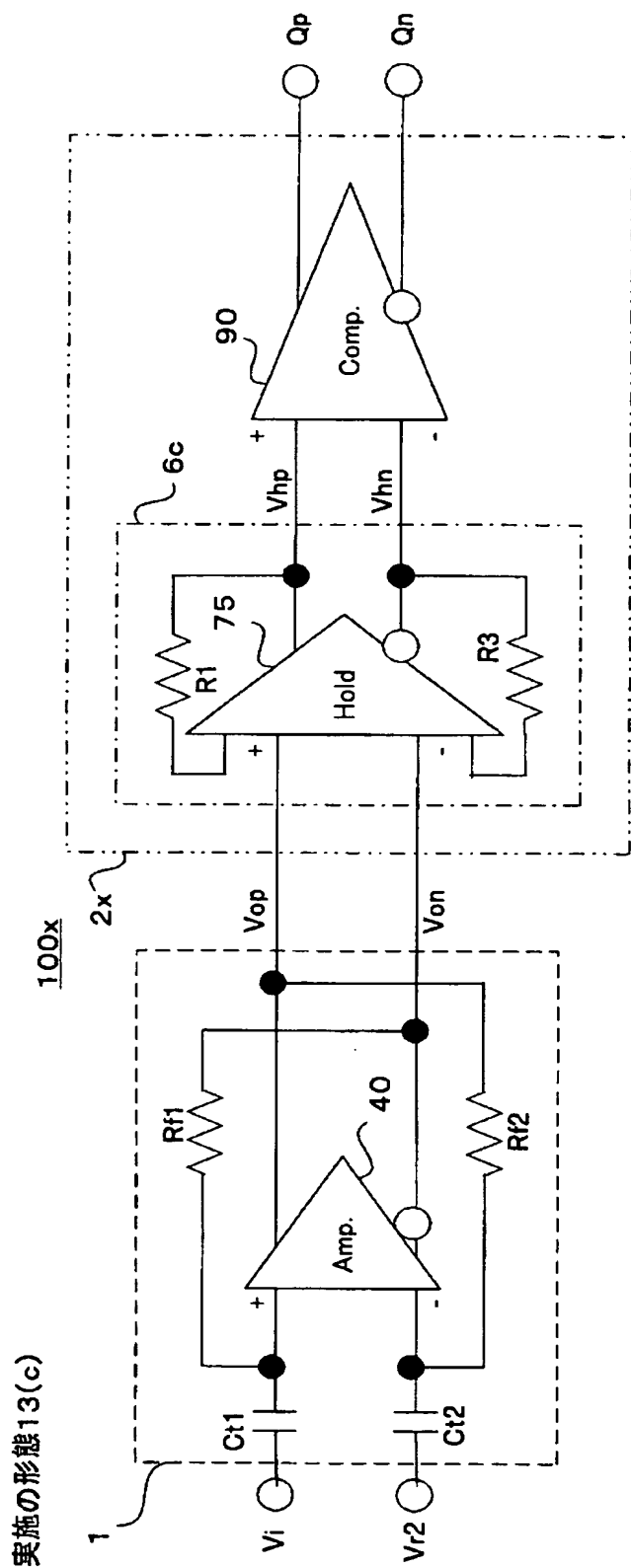
【図 32】



【図 33】

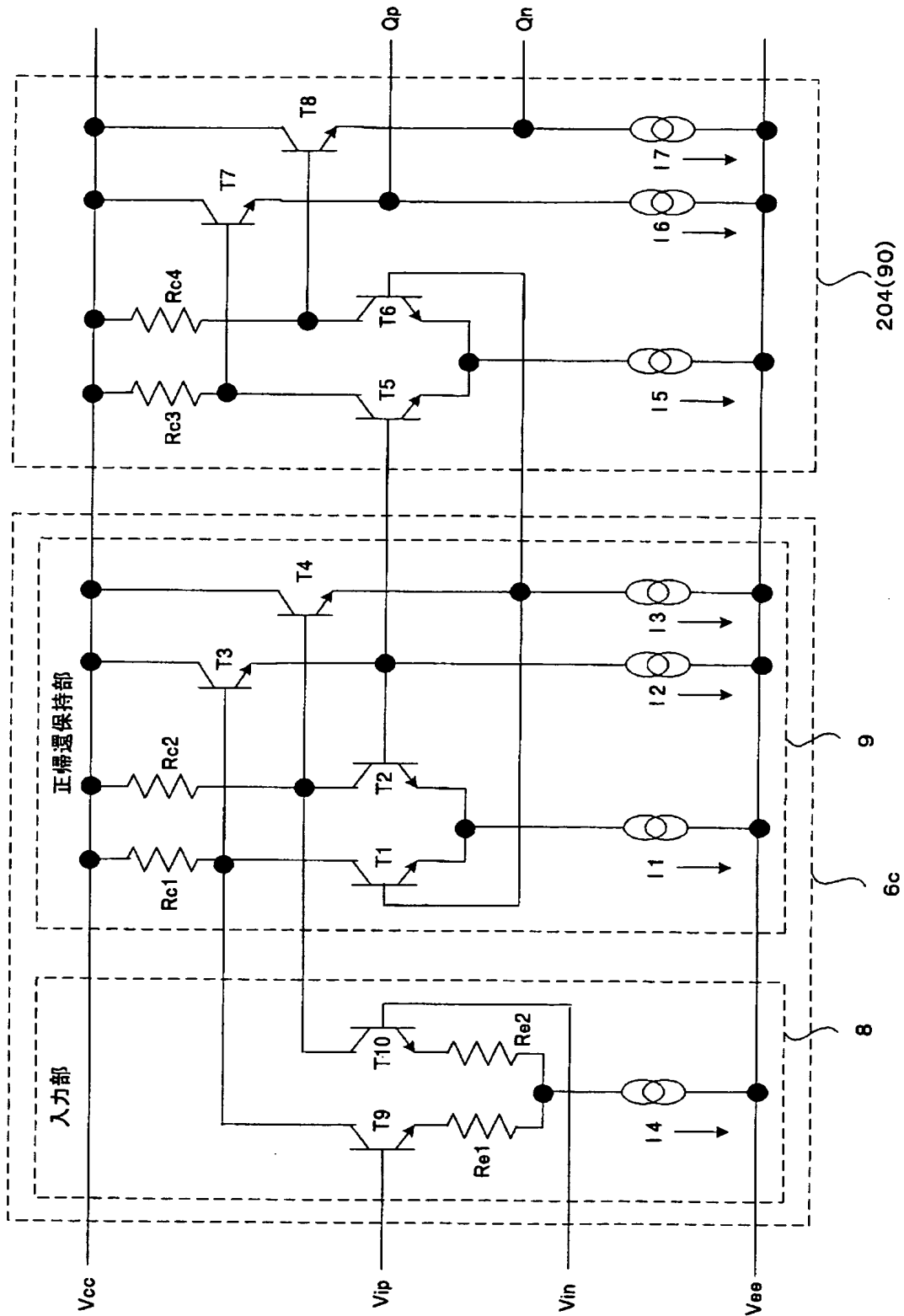


【図 34】

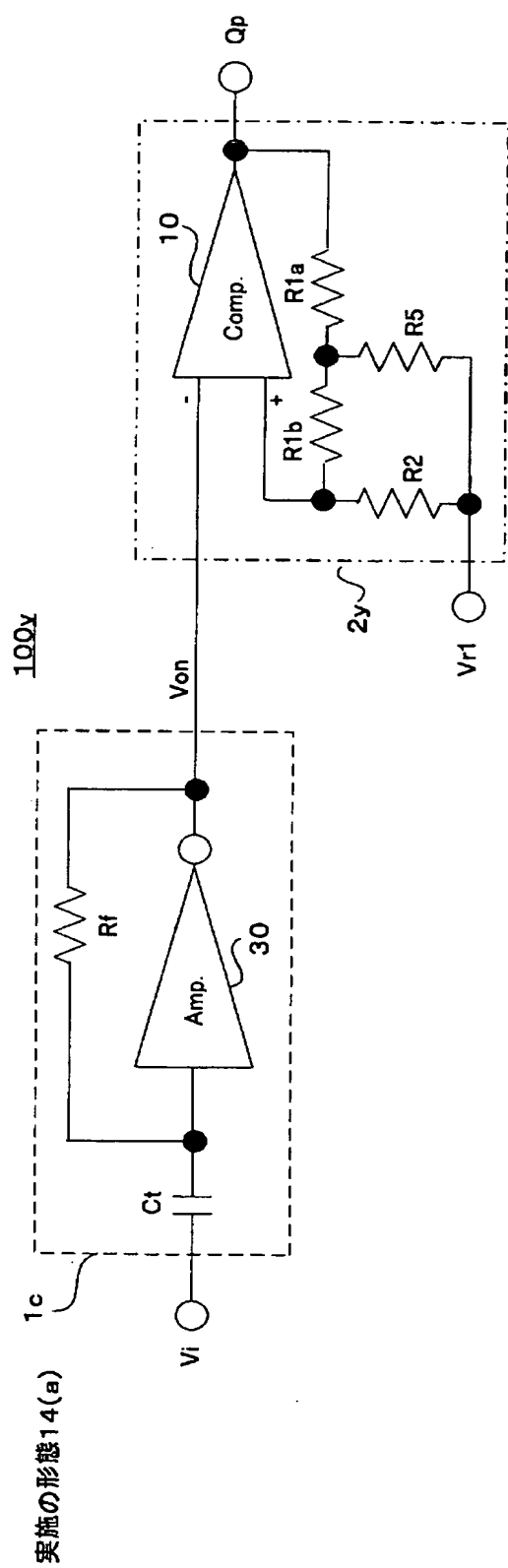


【図 35】

実施の形態 13(d)

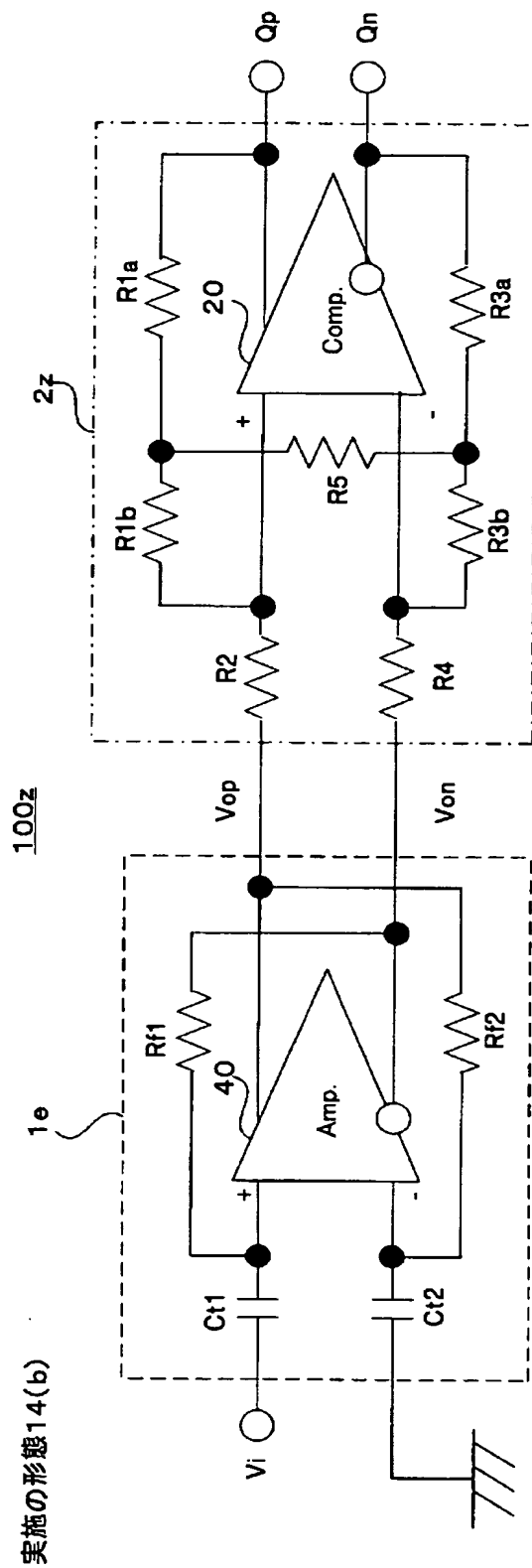


【図 3 6】



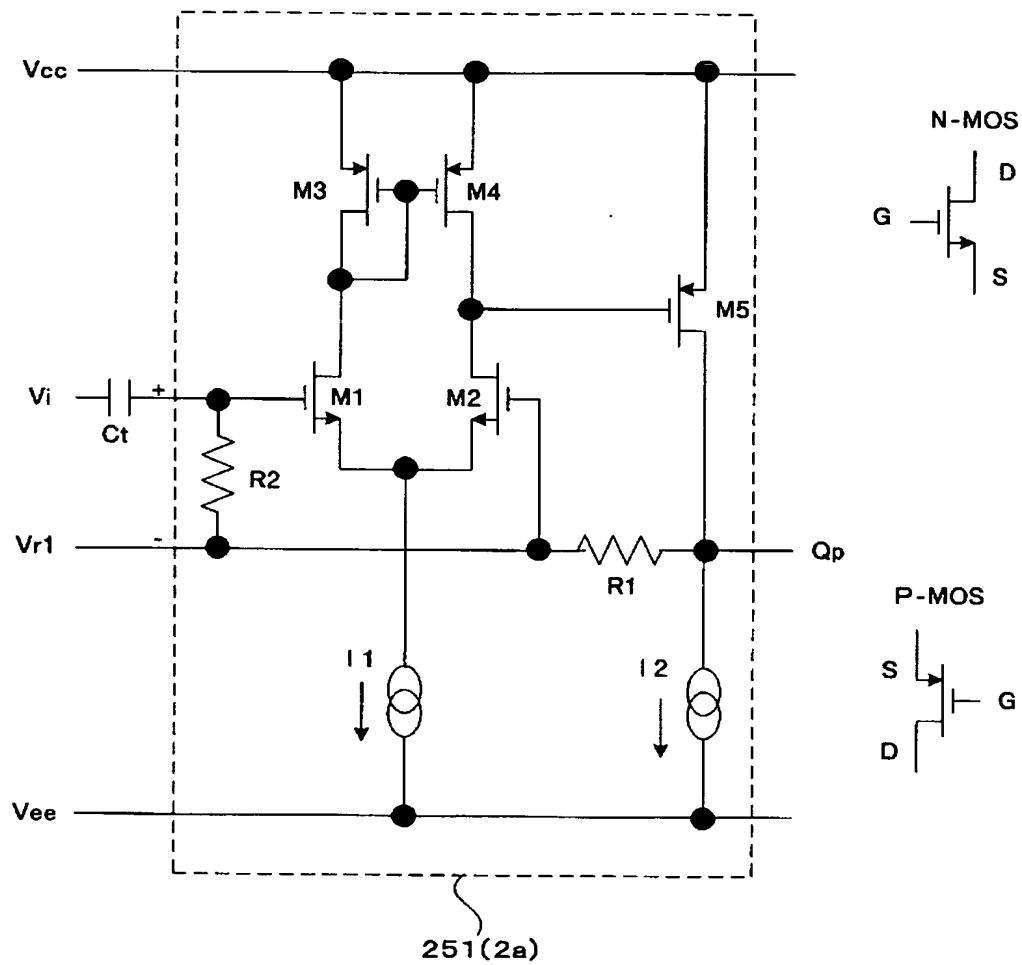


【図 37】



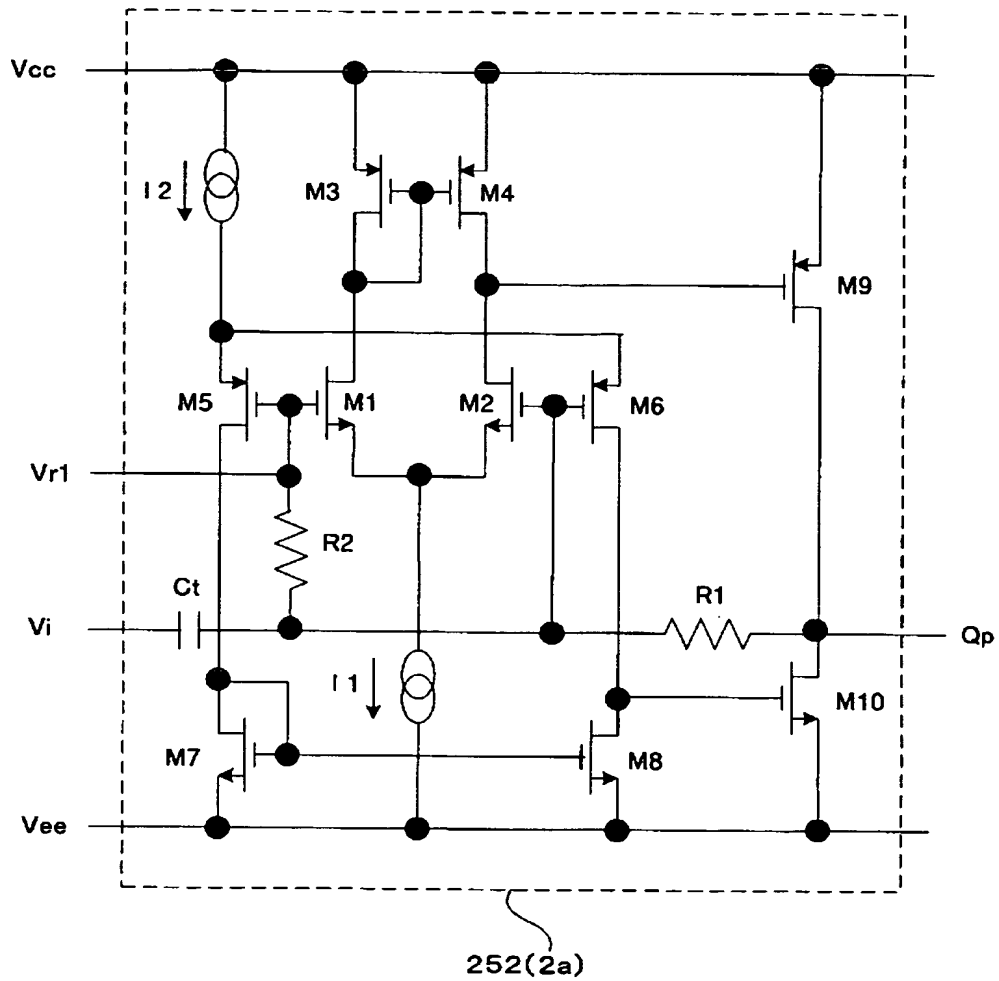
【図 3 8】

### 実施の形態15(a)



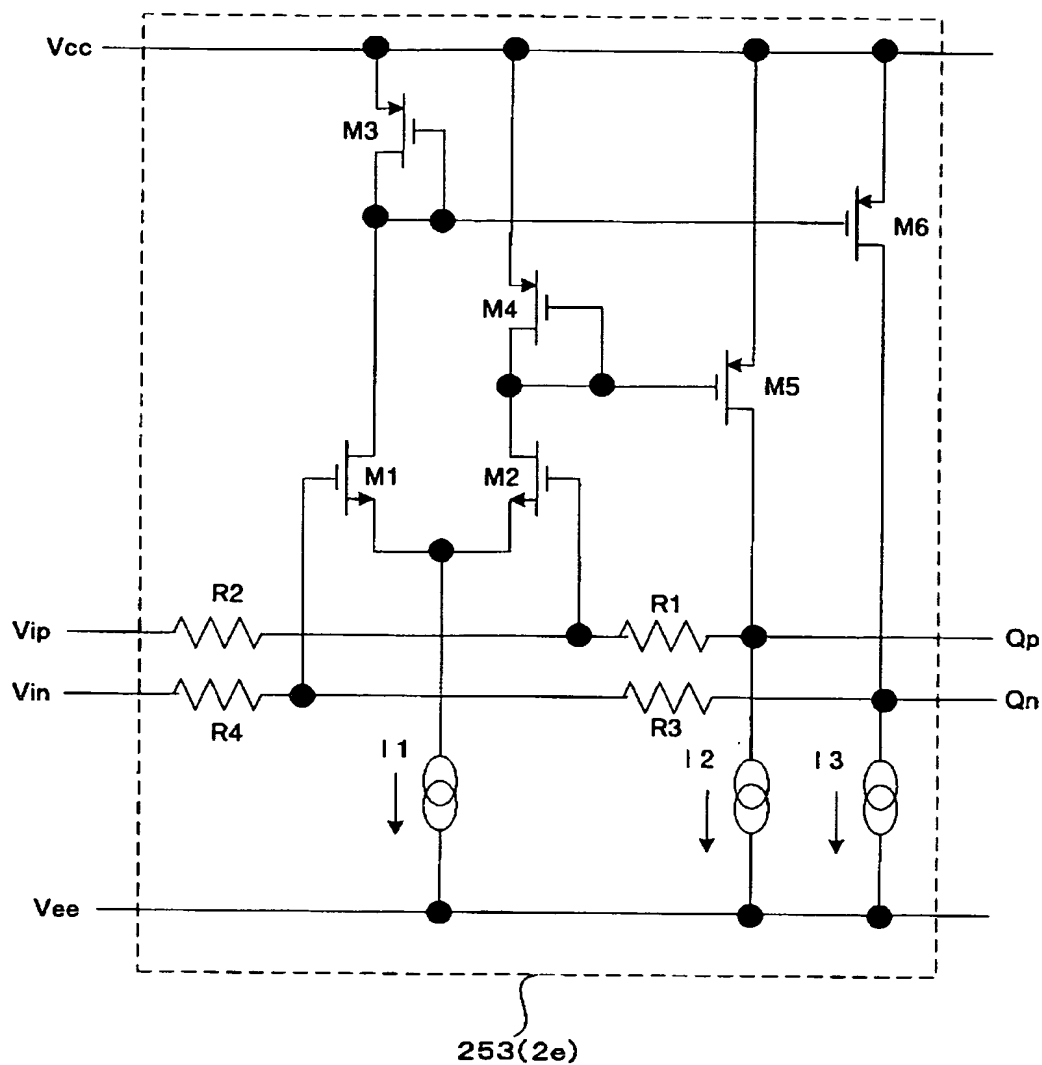
【図 39】

実施の形態 15(b)

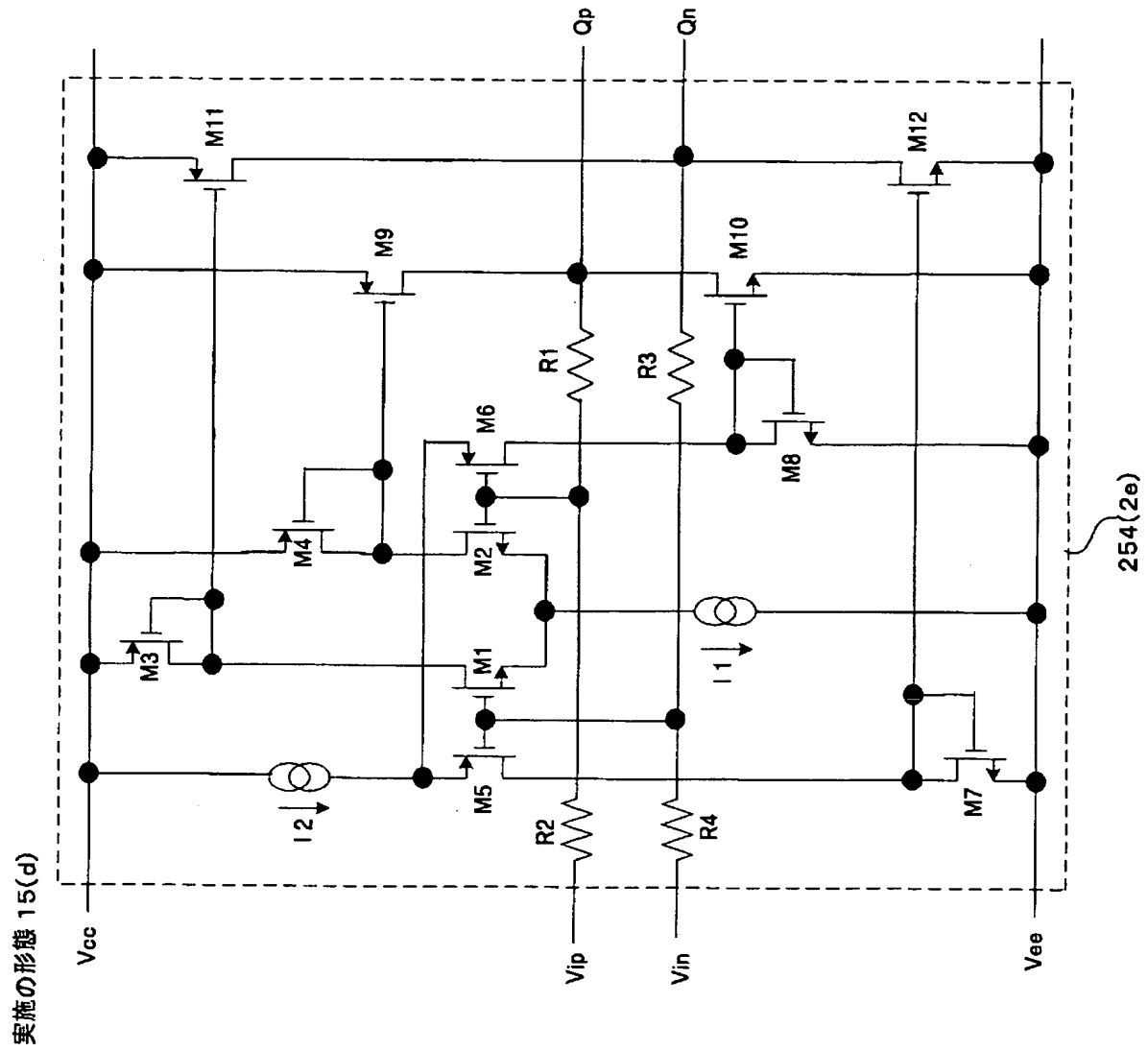


【図 40】

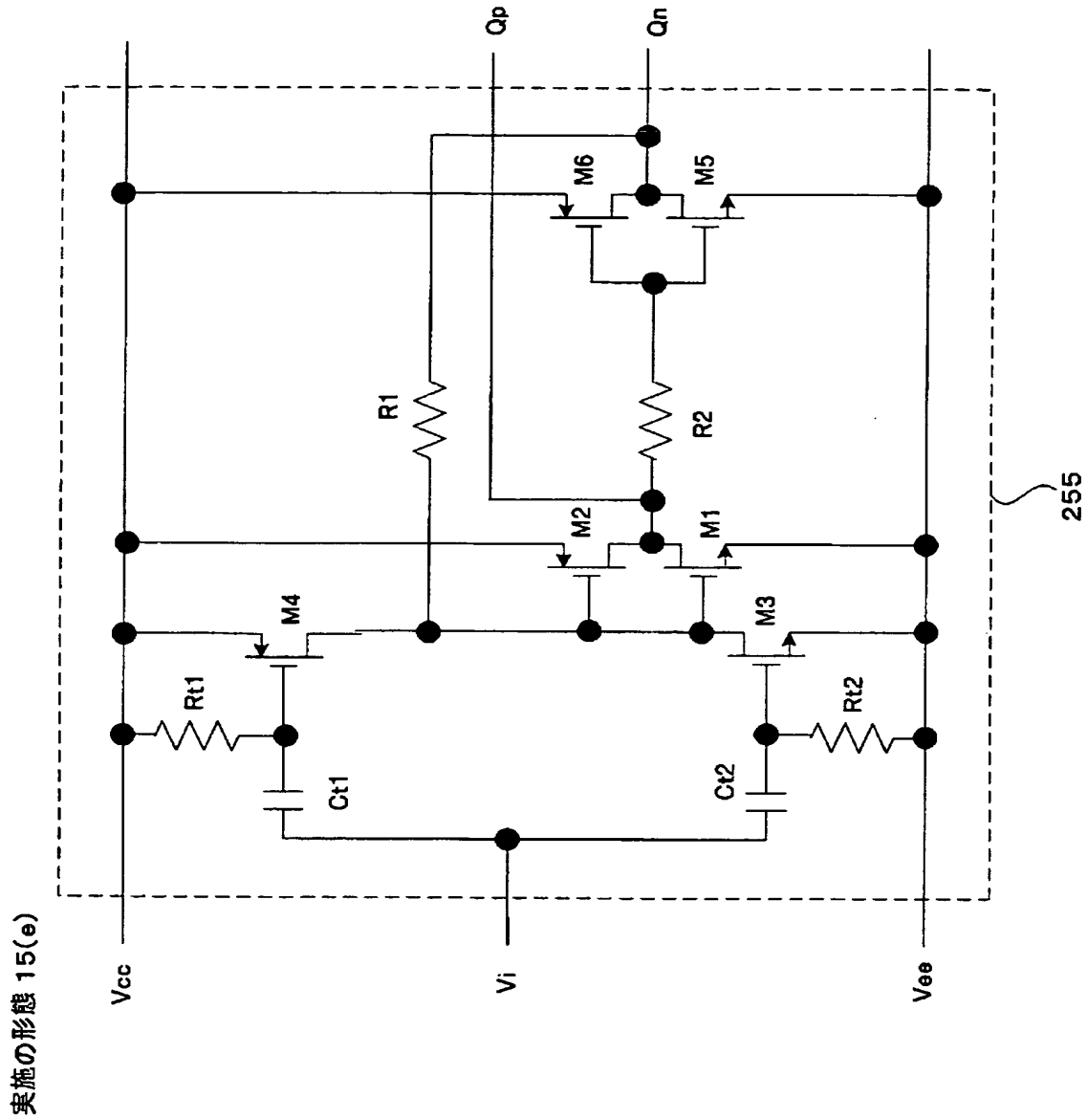
実施の形態 15(c)



【図 4 1】

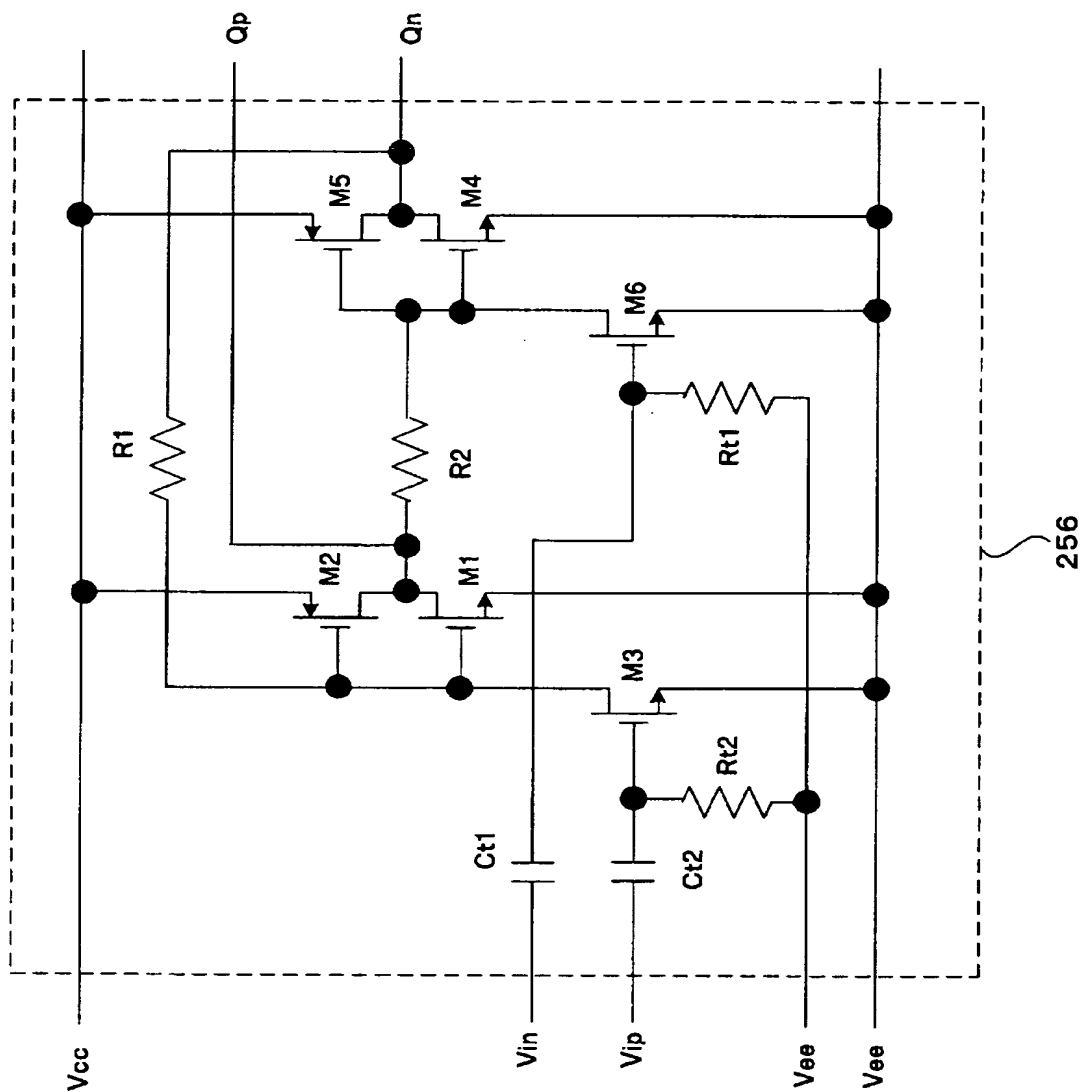


【図 4 2】

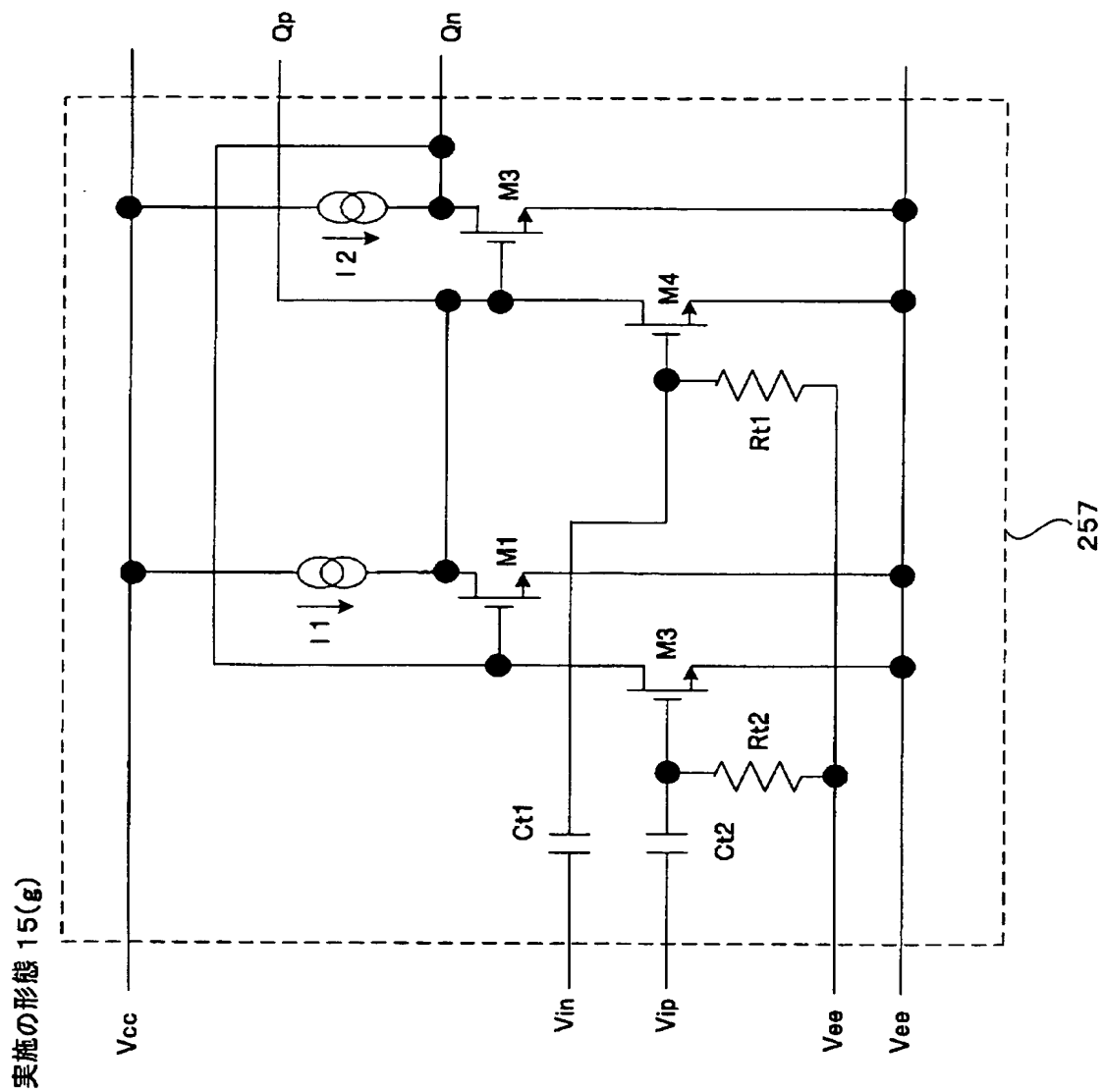


【図 43】

実施の形態 15(f)



【図 44】





【書類名】 要約書

【要約】

【課題】 直流オフセット変動の影響を抑制して同符号の連続信号を誤り無しに受信でき、直流電位の変化に高速に追従する能力も向上させ、部品点数が少なく低消費電力なバースト信号の復調回路を提供する。

【解決手段】 ” 1 ” あるいは ” 0 ” の同符号長連パターンを含むパルス信号の立ち上がりあるいは立ち下りの電圧変化量に対応する微分信号を出力する微分回路部 1 と、基準電圧値、上位側電圧しきい値および下位側電圧しきい値が予め設定され、微分信号が基準電圧値側から上位側電圧しきい値以上に変化した場合と、基準電圧値側から下位側電圧しきい値以下に変化した場合に、状態を反転させると共にその状態を保持するヒステリシス特性を有し、そのヒステリシス特性に基づいて論理レベルの電圧信号の復調信号を出力するヒステリシスコンパレータ部 2 とを有する復調回路 1 0 0。

【選択図】 図 1

特願 2 0 0 3 - 1 4 4 7 3 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社